



# ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

## 1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman

[rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

## Organizacija računalnikov – 1.1 Predmet OR

- Spletne strani: <http://ucilnica.fri.uni-lj.si>

- Komunikacija, vsebine (predavanja, vaje):

- MS Teams

- Koda za vstop: **v7vt5t6**



- Moj e-naslov: [rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

- Govorilne ure: po razporedu v R2.40 ali R2.50


Občasne spremembe bodo pravočasno objavljene na učilnici

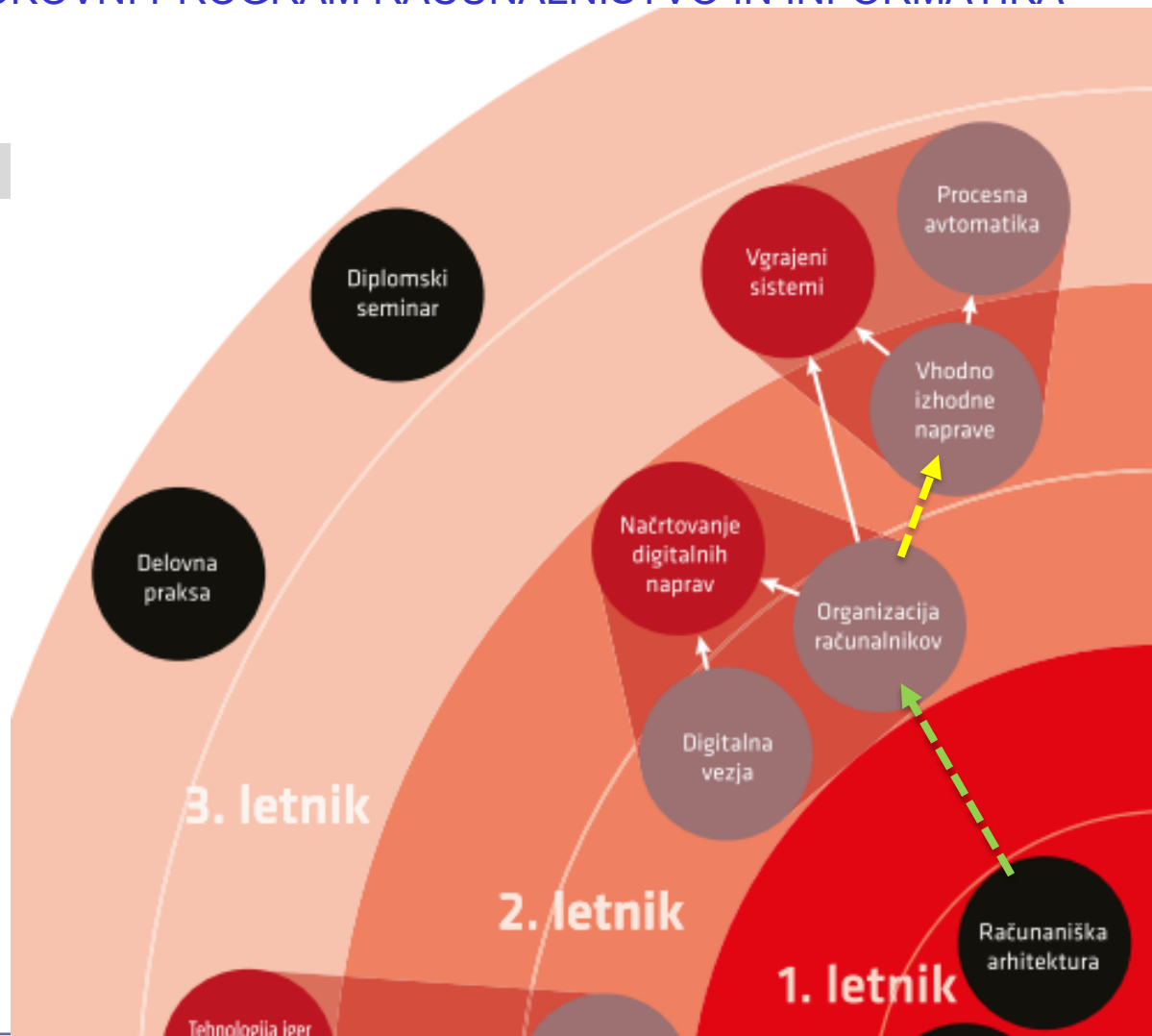
Najava: email (lahko se dogovorimo kadarkoli)

- ***Vedno dobrodošli !!!***



## VISOKOŠOLSKI STROKOVNI PROGRAM RAČUNALNIŠTVO IN INFORMATIKA

Priporočilo 



■ Robert Rozman

[rozman@fri.uni-lj.si](mailto:rozman@fri.uni-lj.si)

■ Pregled obravnavanih tem na predavanjih :

1. Uvod v organizacijo računalnikov in digitalna vezja
2. Osnove integriranih dig. vezij (TTL, CMOS, VLSI)
3. Mikroarhitekturni nivo računalnika (*CPE, MiMo-DN1, ARM-DN2*)
4. Paralelizem na nivoju ukazov (*cevovod, superskalarni procesorji*)
5. Paralelizem na nivoju procesorjev (*multiprocesorji, multiračunalniki*)
6. Prenosne poti in vrste prenosov (*PCI, PCI Express, USB, QPI*) -> predmet VIN

Vmes: primeri organizacije računalnika – ARM (FRI-SMS, STM32H7), Intel, AMD

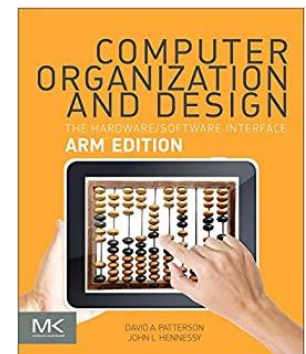
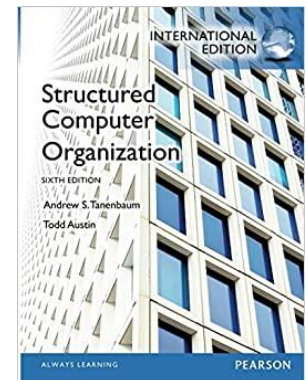
## Literatura (dosegljiva v FRI/FKKT knjižnici):

- D.M.Kodek: **Arhitektura in organizacija računalniških sistemov**
  - (oznaka [Kodek] v nadaljevanju)
- Tanenbaum: **Structured Computer Organization, 6th Edition**
  - (oznaka [Tan] v nadaljevanju)
- Patterson, Hennessy: **Computer Organization and Design, 5th+ Edition**
  - (oznaka [Patt] v nadaljevanju)

*Najboljši vir so predavanja in vaje !*

### Ocena

- 50% sprotno delo (DN1, DN2, neobvezni del)
- 50% ustni izpit



## Mnenja slušateljev (2019/20) - izbor:

## Izvedba predmeta:

## ■ Dobro:

- Dober predmet, na dovolj nizek nivo HW-ja, da je še vedno razumljivo ob temeljitem premisleku.
- Na splošno je predmet zelo zanimiv in praktičen. Delo na konkretnih napravah pri vajah je zelo zanimivo.

## ■ Slabo:

- Spletna učilnica bi lahko bila bolj počiščena
- ... neke vrste pripravljani kviz (npr. v obliki domače naloge) za 2. preverjanje

## Izvajalec:

## ■ Dobro:

- Zelo dobro razlaga snov, vidi se da jo ima v malem prstu. Še posebej letos, ko so zapiski barvni je snov še toliko bolj razumljiva. Všeč mi je tudi, da pri predmetu poskrbi, da vemo vse iz osnov navzgor. Profesor je tudi izredno prilagodljiv in razumevajoč, pripravljen tudi izven ur razložiti snov predavanj itd

## ■ naštejte nekaj pomanjkljivosti in predlagajte izboljšave.

- Ni mnenj

Izbran predmet: OR (63717)		
Povpr. ocena/max. [št. odg./vsi]	2019/20	2018/19
Predmet	4.82/5 [23/26]	4.85/5 [28/31]
Izvajalec	4.90/5 [23/26]	4.99/5 [28/31]

Ugotovitve (2019/20):

Več skupnega dela na laboratorijskih vajah

Več dvosmerne interakcije

Ocene STUDIS za izvajalca – OR (63717) – 1

1

Povpr. ocena/max. [št. odg./vsi]	2020/21	2019/20	2018/19
Izvajalec	4.96/5 [37/41]	4.90/5 [23/26]	4.99/5 [28/31]

## Mnenja slušateljev (2020/21) - izbor:

### Izvedba predmeta in izvajalec:

#### ■ Dobro:

- Najbolje pripravljen od vseh predavateljev za predavanje na daljavo, zelo dobro uporablja notes, vsi zapiski katere naredi so navoljo tudi nam. SUPER
- Najboljše izveden predmet v tem semestru. **Vsa predavanja in vaje so bila posneta**, posnetki vaj so bili celo zrezani po poglavjih. Profesor je med predavanji in vajami delal celo **sprotne zapiske v OneNote**.

#### ■ Slabo:

- .

#### Ugotovitve (2020/21) :

Dobra online izvedba, vendar nazaj **v živ način dela**

Več **skupnega dela** na laboratorijskih vajah

Več **dvosmerne interakcije**

Izbran predmet—OR-(63717)—¶

Povpr. ocena/max. [št. odg./vsi]¶	2021/22¶	2020/21¶	2019/20¶
Predmet¶	4.87/5-[61/64]¶	4.90/5-[37/41]¶	4.82/5-[23/26]¶
Izvajalec¶	4.90/5-[61/64]¶	4.96/5-[37/41]¶	4.90/5-[23/26]¶

## Mnenja slušateljev (2021/22) - izbor:

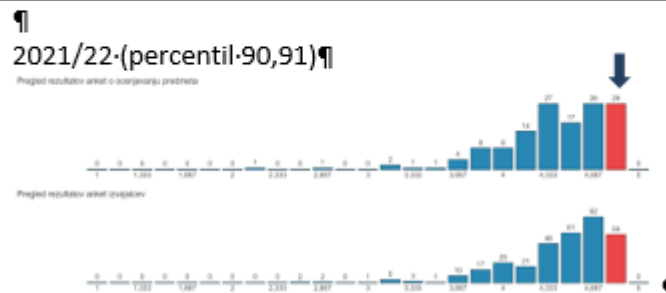
## Izvedba predmeta in izvajalec:

### ■ Dobro:

- Najboljši pedagoški pristop, razumevajoč, spodbuja k dodatnemu delu, na splošno izjemno talentiran profesor **za motiviranje študentov**.
- Zelo dobro da ocenjuje znanje in trud **namesto učenja na pamet**.
- Eden najbolj prijaznih profesorjev na faksu, vedno pripravljen odgovoriti na vprašanja. Vidi se, da ga delo veseli in da rad poučuje snov. Študentom ponudi veliko različnih možnosti za opravljanje sprotnih obveznosti, imamo tudi **možnost realizacije svojih idej**.

### ■ Slabo:

- Ni mnenj.



### Izhodišča (2022/23) :

- **živ način dela**
- **več platform (FRI-SMS, razvojnih okolij)**
- **več skupnega dela na laboratorijskih vajah**
- **več dvosmerne interakcije**



## Mnenja slušateljev (2022/23) - izbor:

## Izvedba predmeta in izvajalec:

## ■ Dobro:

- Zanimiva snov na predavanju in vajah najbolj mi je bil **všeč pogovor o novejši procesorjih in kaj se dogaja v tem prostoru desktop procesorjev**
- Izjemna predavanja, **snov je predstavljena zanimivo in povsem jasno**. Praktični del je prav tako komplementaren predavanjem v snovi.
- Neverjetno dober pedagog, ki **se trudi in s študenti ohranja pristen odnos**. Vedno je korekten in pripravljen pomagati ter se prilagoditi.

## ■ Izboljšat:

- Domače naloge bi bile lahko **objavljene malo prej**
- Mogoče uporaba kakšnih **animacij ki prikazujejo delovanje naprav - npr. cevovoda**.
- Vsebina je zelo obširna, ampak razložena na razumljiv način in brez pretiranega žargona. Vaje so zelo zabavne.
- Vaje so izvedene konkretno. Tako v živo kot z dodano literaturo in posnetki. **Definitivno pridejo za razumevanje vaj prav posnetki**, saj včasih ob prvem in drugem trenutku zadeve mogoče ne razumemo, ko pa jo kasneje ponovno prejmemo preko posnetka pa "klikne".

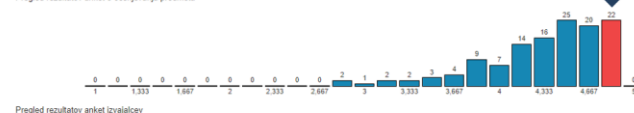
## Izbran predmet OR (63717)

Povpr. ocena/max. [št.odg./vsi]	2022/23	2021/22	2020/21
Predmet	4.81/5 [54/61]	4.87/5 [61/64]	4.90/5 [37/41]
Izvajalec	4.96/5 [54/61]	4.90/5 [61/64]	4.96/5 [37/41]

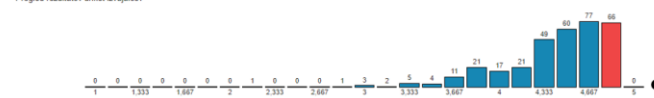


## 2022/23 (percentil-89,94)

Pregled rezultatov anket o ocenjevanju predmeta



Pregled rezultatov anket izvajalcev



## Izhodišča (2023/24) :

- **Uvajanje STM32H7**
- **več platform (STM32F4, FRI-SMS), razvojnih okolij (VSC)**
- **več skupnega dela na laboratorijskih vajah**
- **več dvosmerne interakcije**

## Novosti - posebnosti Covid 2020:

- Hibridna izvedba predavanj in vaj

- Orodje :

- e-učilnica ostaja
- dodamo MS Teams



OR VSP 2020/21

- Izhodišča:

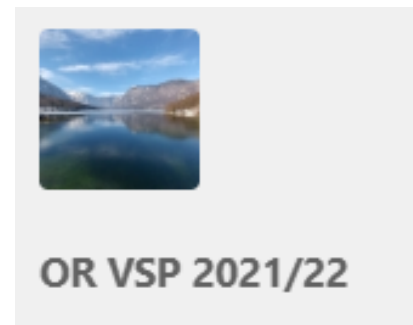
- karseda aktivno (kamera on, mikrofoni off)
- sodelovanje, pogovor, debata...

- Novosti:

- <https://padlet.com/RRobi/ORWall>
- morda možnost dela na drugi platformi – Cortex M4, M7

## Posebnosti (Covid) 2021:

- Živa izvedba predavanj in vaj
- Orodje :
  - e-učilnica ostaja
  - MS Teams
    - **Komunikacija** (govorilne ure, pogovor, pomoč), OneNote zvezek
  - <https://padlet.com/RRobi/ORWall>
    - Za posamezna poglavja predavanj, anonimnost
- Izhodišča:
  - karseda aktivno sodelovanje, pogovor, debata...
- Novosti:
  - obogatitev paralelnega dela (sling)
  - vzporedno uvajanje – ARM Cortex M4

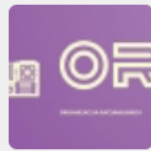


## Posebnosti 2022:

- **Živa izvedba** predavanj in vaj (Covid NNNP)
- Orodje :
  - e-učilnica
  - MS Teams
    - **Komunikacija** (govorilne ure, pogovor, pomoč), OneNote zvezek
- Izhodišča:
  - karseda aktivno sodelovanje, pogovor, debata...
  - **radovednost + znanje = dober „razvijalec“**
  - **lastne ideje**
- Novosti:
  - vzporedno uvajanje – ARM Cortex **M4, M7**
  - **izbira platforme, IDE**
  - postopni prehod na **Logisim-Evolution**



OR VSP 2022/23



OR VSP 2023/24

## Posebnosti 2023:

- **Živa izvedba** predavanj in vaj
- Orodje :
  - e-učilnica
  - MS Teams
    - **Komunikacija** (govorilne ure, pogovor, pomoč), OneNote zvezek
- Izhodišča:
  - karseda aktivno sodelovanje, pogovor, debata...
  - radovednost + znanje = dober „razvijalec“**
  - lastne ideje -> domači nalogi (DN1-MiMo, DN2-ARM)**
- **Novosti:**
  - vzporedno uvajanje – ARM Cortex H7, F4
  - izbira platforme, IDE**
  - Logisim-Evolution (cevodni MiMo, časovnik, GPIO)**

Če sm prou naredu nj bi bil to invite v ta strežnik, če hočete na uvodnih predavanjih pokazat  
<https://discord.gg/HJxKMPgXR>  
(Link velja 30 dni) (edited)

YOU'VE BEEN INVITED TO JOIN A SERVER



Hardware FRI

6 Online 27 Members

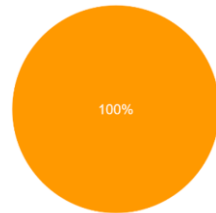
Joined



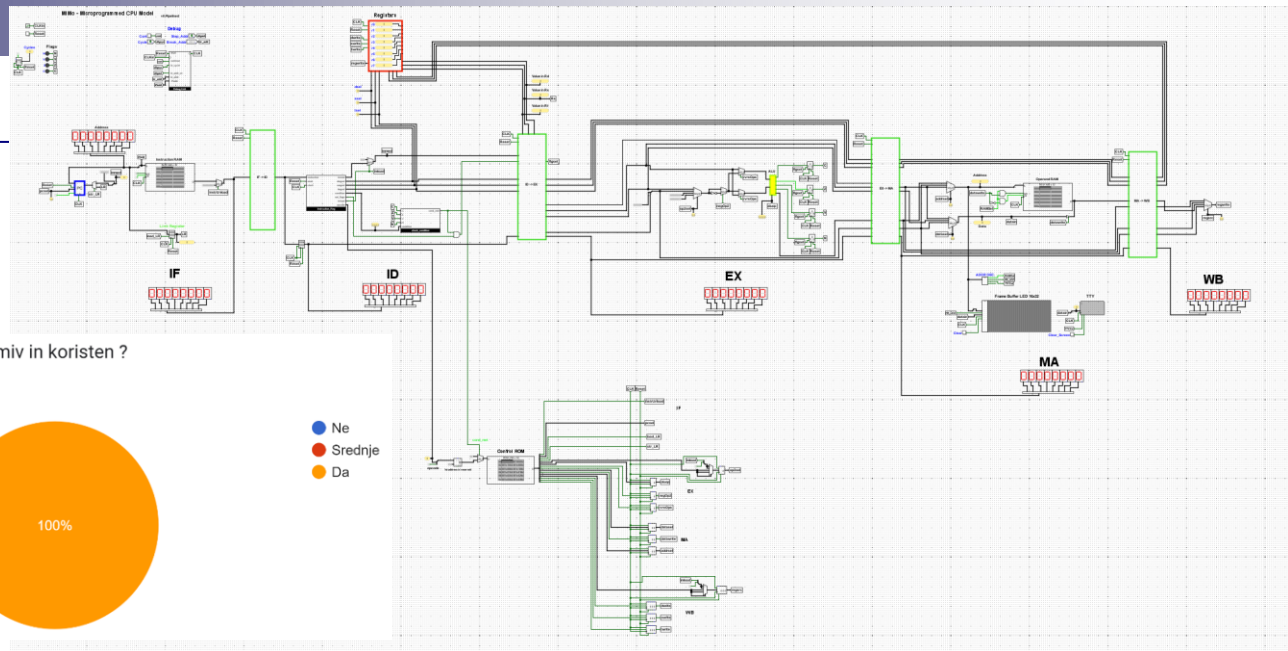
Posebnosti 2023:

■ Novosti:

Je MiMo model bil zanimiv in koristen ?  
6 responses

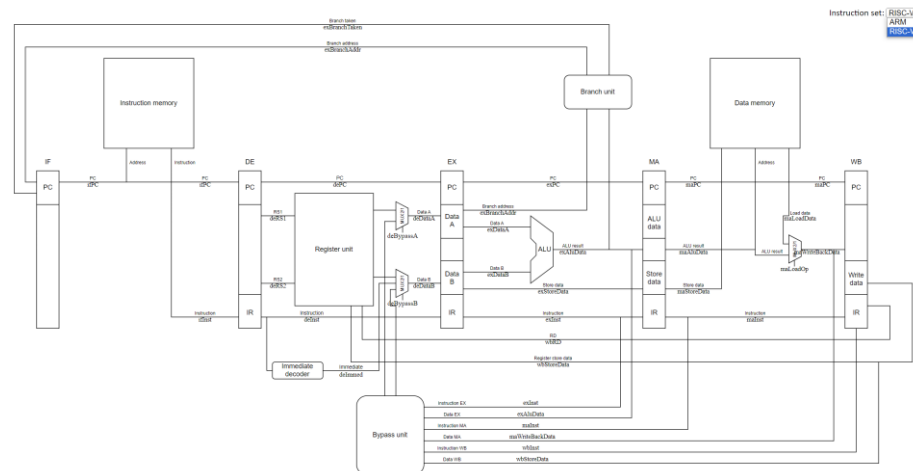


- Ne
- Srednje
- Da



□ MiMo v2 - cevovodna izvedba

□ Spletni simulator cevovoda (ARM/RISC-V)



## Posebnosti 2023:

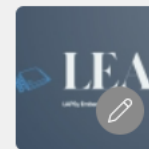
### ■ Novosti:

#### □ LEA - Lapsy Embedded Academy

- Projekt spletnega izobraževalnega portala z vsebinami RA, OR in VIN (ter ostalimi)
- Rok: 1.1.2024, vabljeni !

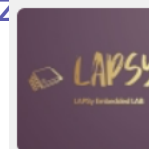
#### □ LAPSy Embedded LAB

- Skupina navdušencev nad vgrajenimi sistemi in nizov programiranjem



LAPSy Embedded Academy

ty5qjm9



LAPSy Embedded LAB

jxhtzj8

## Organizacija računalnikov

[Pregledna plošča](#) / [Moji predmeti](#) / [or](#)

### Splošno

#### Izvajalci

- Predavatelj: **Robert Rozman**
- Asistenti: **Robert Rozman**

#### Vsebina vaj

Predmet je vsebinsko nadaljevanje predmeta Računalniška arhitektura. Na vajah nadaljujemo z zbirnikom mikrokrmilnika AT91SAM9260 (sistem FRI-SMS) in znanje razširimo s spoznavanjem in programiranjem CPE in vhodno izhodnih naprav, ki so vgrajene v mikrokrmilnik. Sem sodijo paralelni vhod/izhod, časovnik, zaporedni vmesnik (UART), itd. Spoznamo se tudi z osnovami priključitve v/i naprav (LED dioda, tipka) in programiranja v programskem jeziku C. Obravnavamo tudi MiMo model mikroprogramirane CPE na nivoju logičnih vrat v simulatorju Logisim - na voljo je model delujoče CPE z nekaj ukazi v zbirniku. Obstoječi model dopolnite z novimi ukazi v zbirnem jeziku, pri čemer določite za vsak ukaz v zbirniku ustrezen mikroprogram oziroma zaporedje vseh opravil, potrebnih za izvedbo izbranega ukaza. S tem se s praktičnega vidika podrobneje seznanite z delovanjem CPE. MiMo model lahko neobvezno dopolnite na opisanih nivojih in tudi na nivoju logičnih vrat (nove V/I naprave, sklad, prekinitve,...). Semester zaključimo z izdelavo lastne aplikacije za mikrokrmilnik FRI-SMS.

Za čas izvajanja predmeta lahko dobite v sposojo sistem FRI-SMS. Tako ga lahko poljubno in v kontekstu vaj programirate tudi doma oz. kjerkoli.

#### Ocenjevanje, obveznosti

Vaje prispevajo 50 odstotkov h končni oceni in morajo biti opravljene. Da študent vaje opravi, mora:

- uspešno oddati obe obvezni domači nalogi in
- na dveh preverjanjih skupno zbrati vsaj 100 točk. Na prvem preverjanju je možno doseči 90 točk, na drugem pa 110 točk.

Dodatne točke lahko pridobite z neobveznimi domačimi nalogami in drugim dodatnim delom (projekt, seminar, aplikacija).



# MS Teams: Komunikacija, DN, OneNote zvezek

The screenshot displays the Microsoft OneNote application interface. The top navigation bar includes a search field with the text "Iskanje" and window control buttons. The left sidebar shows the "Vse skupine" (All Groups) section with a list of groups, including "OR VSP 2023/24". The main content area is titled "Zvezek za predavanja" (Presentation Notebook) and shows a table of contents for a notebook named "OR VSP 202223 zvezek". The table of contents lists sections such as "Dobrodošli", "Naslovnica", "1.3 Računalnik na nivoju digitalne logike", and "2. Osnove digitalnih vezij". The right pane displays the content of the selected section, "1.3 Računalnik na nivoju digitalne logike", which includes handwritten notes in red and blue ink. The notes include the word "RAČ" (Computer), "DIGIT. VEZJA" (Digital Circuit), and "IZ LOG. VRAT" (From Logic Gates). Below the text is a hand-drawn circuit diagram of a CMOS inverter, showing a PMOS transistor (top) and an NMOS transistor (bottom) connected to a common output node. The diagram is annotated with labels "B", "C", "E", and "U<sub>DD</sub>", and includes a red cylinder representing a component or connection. The bottom of the interface shows a footer with the text "OR – 1 – Predavanja" on the left and "© 2023, R.Rozman- FRI" on the right.

### Laboratorijske vaje :

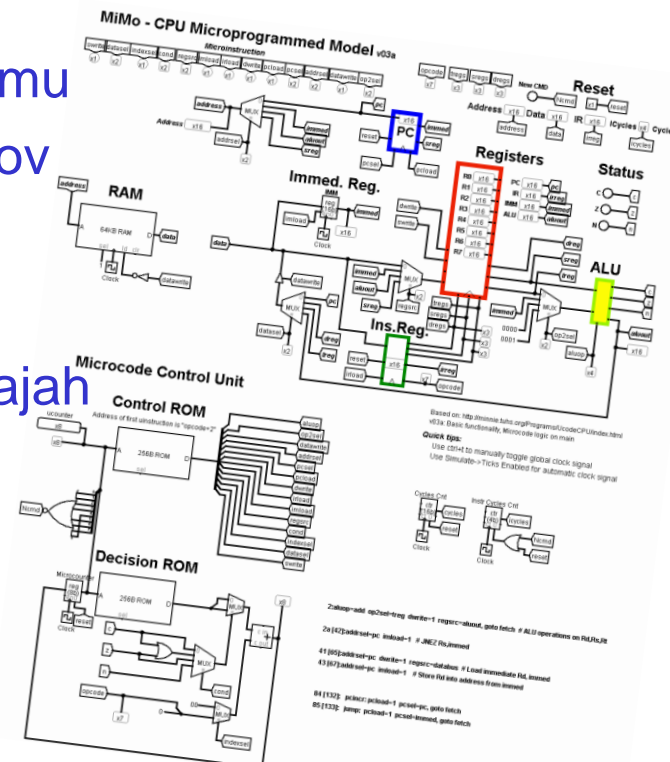
- nadaljevanje **programiranja na ARM-u**
  - s poudarkom na spoznavanju organizacije vgrajenih računalnikov FRI-SMS, STM32F4,H7 (ARM arhitektura)
  - osnove jezika C (neobvezna vsebina)
- **MiMo** - Mikroprogramski model CPE v Logisimu
- naloge, diskusija, skupno reševanje problemov



### Vzpodbujamo:

- **sprotno delo** - sodelovanje na predavanjih, vajah
- **lastno kreativnost in samoiniciativnost**
- **radovednost, aktivnost in razmišljanje**

**Vedno dobrodošli !!!!**

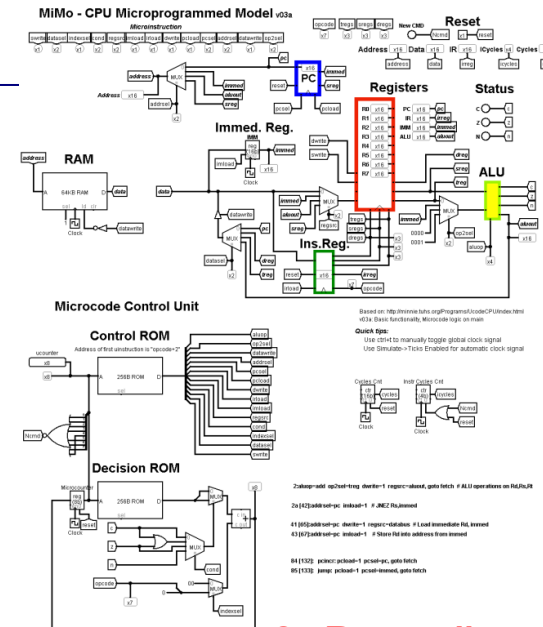


# 1. Domača naloga (primer)

## Organizacija računalnikov

### Laboratorijske vaje – domači nalogi:

- **DN1: MiMo** - Mikroprogramski model CPE v Logisimu

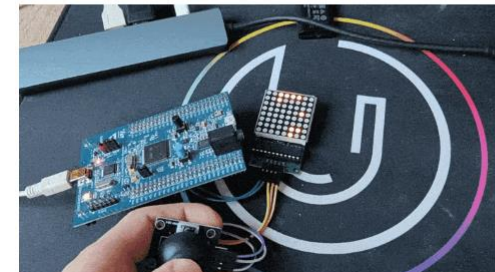


# 2. Domača naloga (primer)

Snake game on 8x8 LED matrix using the STM32F4 discovery board.

Feb 23, 2022 • Filip Jeretina

In this post we will be implementing a snake game on bare metal. This means we will only use assembly and registers, without any fancy tools such as the CUBEMX :)



<https://zrezke.github.io/jekyll/update/2022/02/23/8by8-snake.html>



# Zakaj OR, HW ?



Make your home healthier,  
your office more productive

Uncover the simple solutions. With just a small, stylish, cordless  
and connected Cube in each room.

Get Your Cubes Now!

Winter 2013 batch available!

**Potato Salad**  
by Zack Danger Brown

Comments 1,127

This project was successfully funded on August 2

Columbus, OH

6,911 backers

**\$55,492**  
pledged of \$10 goal

0 seconds to go



## Chipolo - Bluetooth Item Finder for iPhone and Android

by The Chipolo Team

Home Updates 17 Backers 5,329 Comments 1,611

Funded! This project was successfully funded on November 15, 2013

Trbovlje, Slovenia Technology

Chipolo  
Nothing is lost.



GO:GLOBAL MEMBER | SPS SK200 AUTUMN BATCH 2014

Chipolo

Finalisti tekmovanja Start:up leta 2016

5,329 backers

**\$293,014**  
pledged of \$15,000 goal

0 seconds to go

Project by  
The Chipolo Team  
Trbovlje, Slovenia

First created: 0 backed

Has not connected Facebook



Geoffrey®

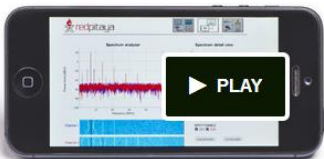
74844 GUESTS SERVED

STATE-OF-THE-ART TOOL FOR  
WHICH MAKES THEIR JOB EASIER,  
THE TIME PRESENTS A VALUE  
RESTAURANT; CONSEQUENTLY,  
CONSIDER IT AN EXPENSE BUT AN  
INVESTMENT IN BETTER BUSINESS.

is, Thai Inn Pub, Ljubljana



OPEN INSTRUMENTS  
FOR EVERYONE



826

backers

**\$256,125**  
pledged of \$50,000 goal

0

seconds to go

Funding period  
Jul 22, 2013 - Sep 20, 2013 (60 days)

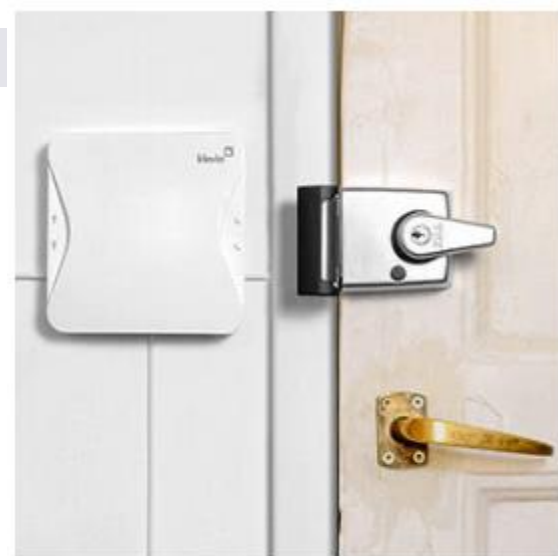


Project by  
Red Pitaya  
Newport News, VA

# Zakaj OR, HW ?



# COSYLAB



HOW KLEVIO FITS YOUR LOCKS

Chipolo - Bluetooth Item Finder for iPhone and Android  
by The Chipolo Team

Home Updates 17 Backers 5,329 Comments 1,811

Funded! This project was successfully funded on November 15, 2013

Trbovlje, Slovenia Technology

Chipolo  
Nothing is lost.

5,329 backers  
\$293,014 pledged of \$15,000 goal  
0 seconds to go

GO:GLOBAL MEMBER | SPS SK200 AUTUMN BATCH 2014

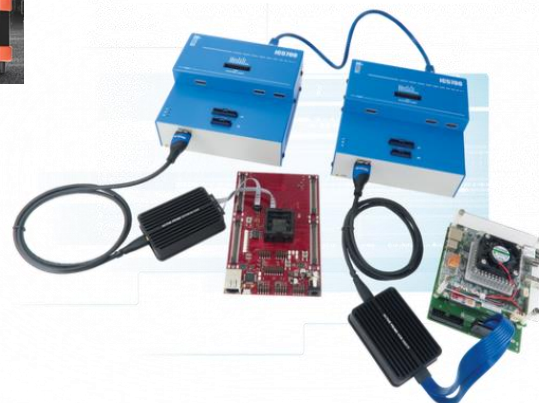
Chipolo  
Finalisti tekmovanja Startup leta 2016

Project by The Chipolo Team  
Trbovlje, Slovenia

First created - 0 backed  
Has not connected Facebook

DEWESoft®

# YEAR WARRANTY



## Red Pitaya - Swiss army knife for engineers

More than 45,000 satisfied users all around the world.

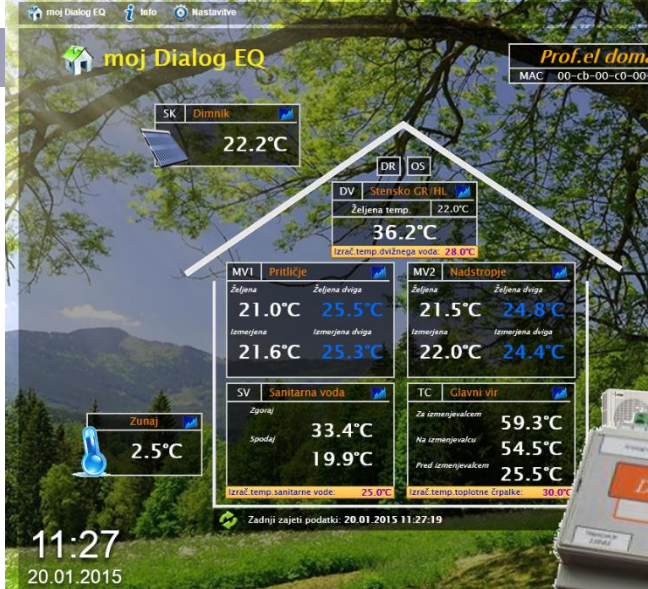
Explore

STEM ab 125-10    STEM ab 125-14    SDR ab 122-16    SIGNAL ab 250-12

# Primeri vgrajenih sistemov



FRI-SMS



D13 EQ

HVAC Regulator

Cubesensor

Kakovost okolja



Tempmate S1  
Temp. logger



Tevel

Merilnik konc. plinov

# Prikaz primerov vgrajenih sistemov - novosti



ARM® University Program Lab-in-a-Box  
Digital Signal Processing with STMicroelectronics STM32F4 Discovery  
Board and Wolfson® Audio Card

This Lab-in-a-Box contains:

- License(s) for ARM® Keil® MDK Pro development tool
- ARM® Cortex®-M4 based ST Discovery F4 board(s)
- Wolfson Microelectronics audio card(s)
- A full suite of academic teaching, lab and lecture materials

ARM KEIL Microcontroller Tools  
ST life.augmented  
wolfson microelectronics  
Farnell element14

ARM University  
Worldwide Education Program



# Programiranje vgrajenih sistemov

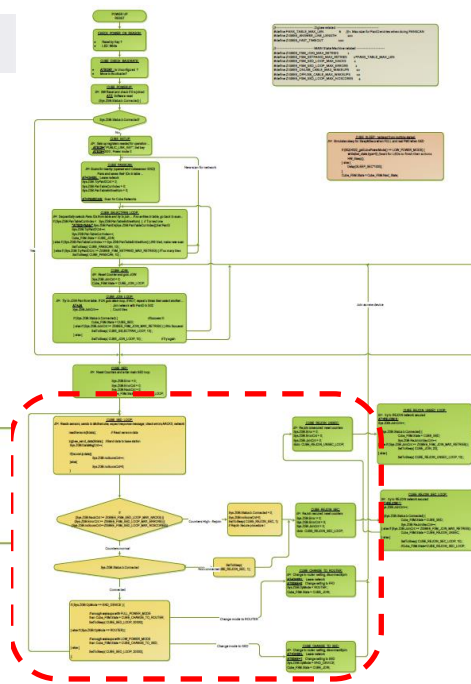
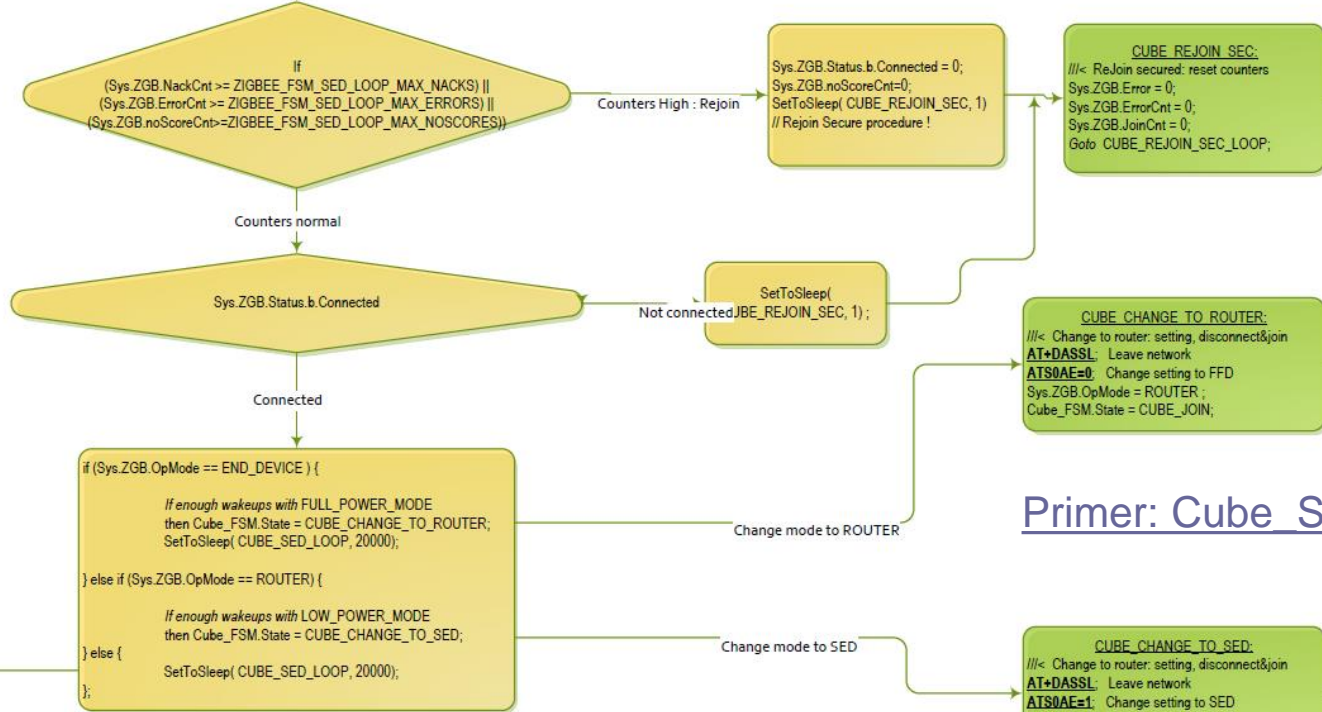
Cubesensors („pametne kocke“):  
 Diagram poteka (končni avtomat):  
 ■ Primer glavnega stanja

```

CUBE_SED_LOOP:
//<- Reads sensors, sends to Mothercube, expect response message; check errors,NACKS, network
readSensors(&data); // Read sensors data

zigbee_send_data(&data); //Send data to base station
Sys.ZGB.DataMsgCnt++;

if(!scoreUpdate){
    Sys.ZGB.noScoreCnt++;
}else{
    Sys.ZGB.noScoreCnt=0;
}
    
```



[Primer: Cube State Chart v2.pdf](#)



# Zakaj zbirnik ?

[Dejan Črnila, Dewesoft]:

„ker se je „vljudno“ naučiti domačega jezika, kulture ...“

Past Meetup

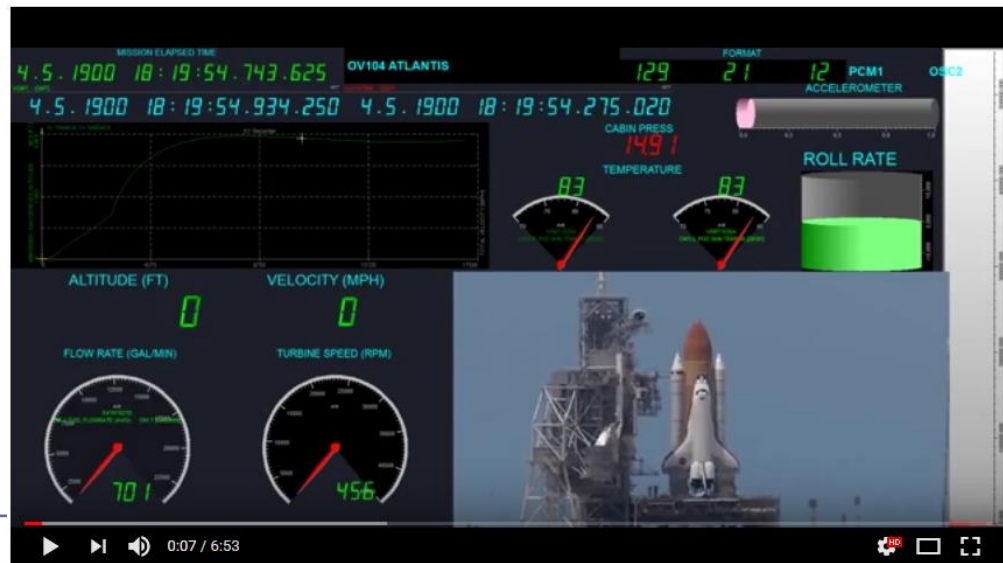
## Code optimization on modern processors [Dejan Črnila, Dewesoft]

„pri nas v podjetju vsi razvijalci „govorijo“ v zbirniku...“

Code optimization is important but often overlooked part of a software project. In this talk we will dive deep and discuss when and why to optimize code, how to approach optimization and how to design data structures and algorithms for scalable performance.

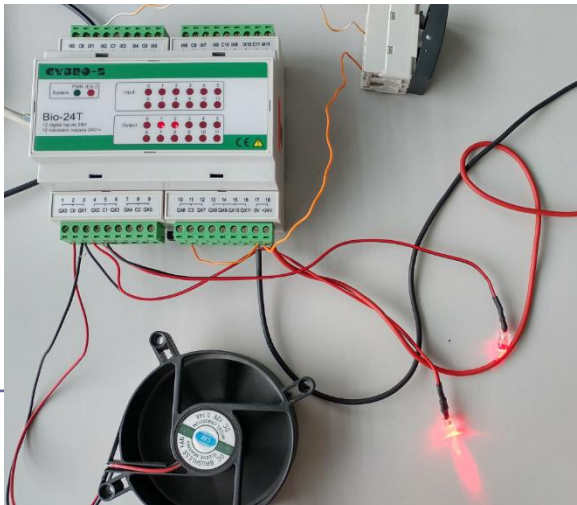
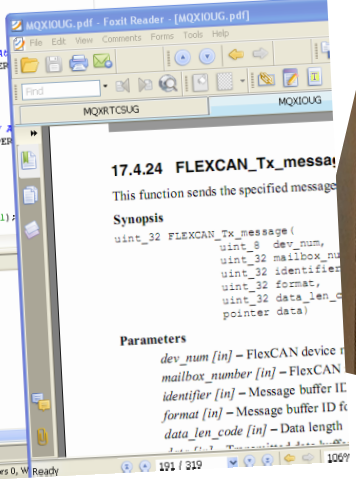
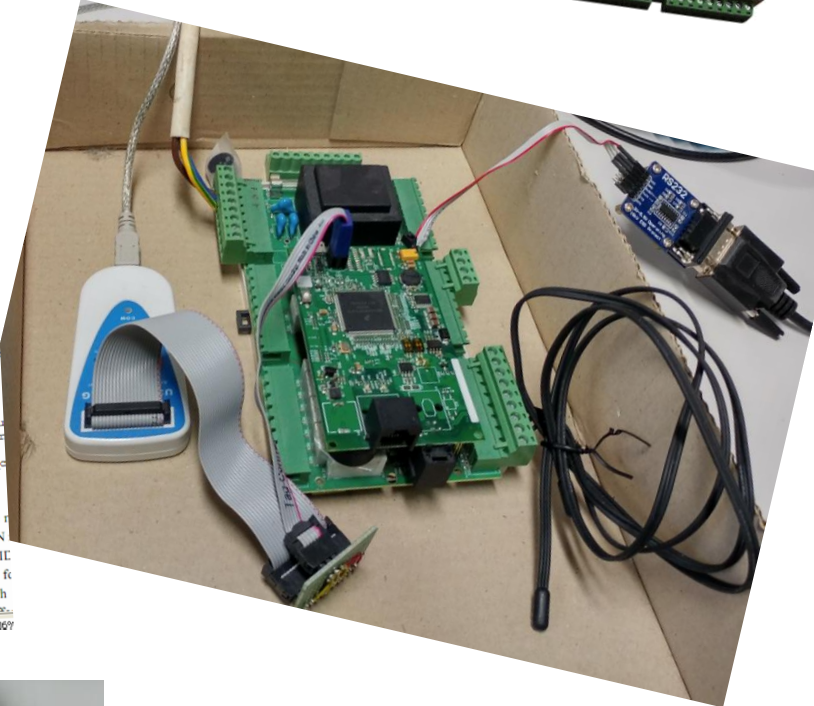
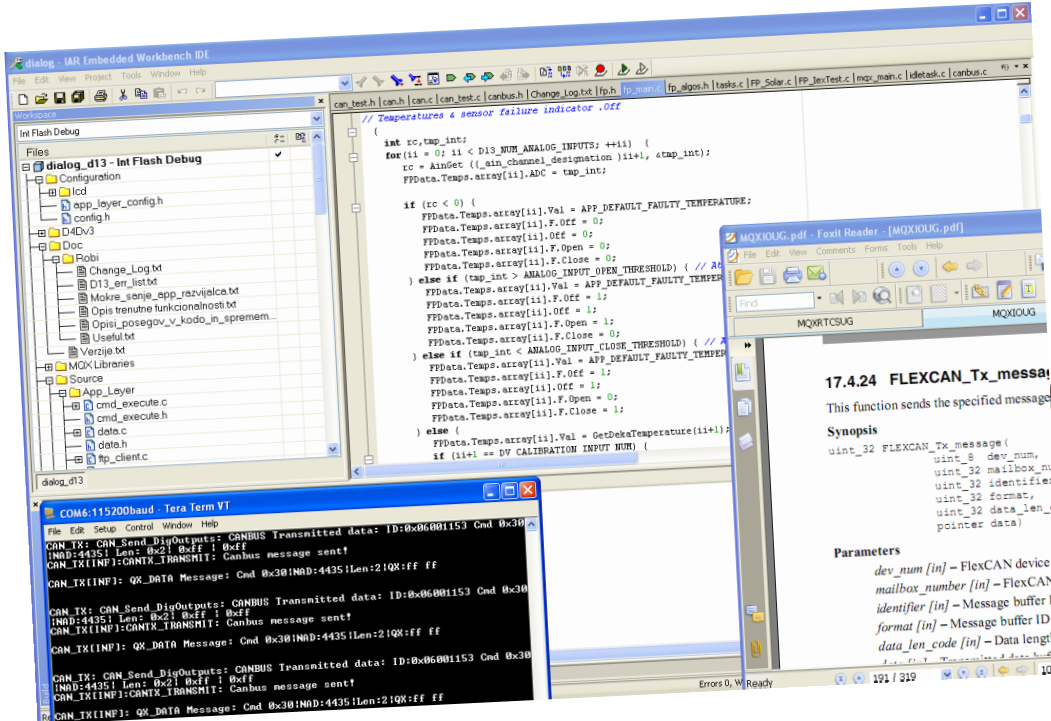
„s poznavanjem sistemov in zbirnika lahko pohitrimo kodo tudi **64x** !!!...“

Dejan Črnila Dejan Črnila is lead software engineer at Dewesoft (<https://www.dewesoft.com/careers>) since 2001. He has designed and implemented core modules of Dewesoft application with particular focus on application performance to keep software in front of competition.





# Prikaz razvojnega „okolja“ za vgrajene sisteme



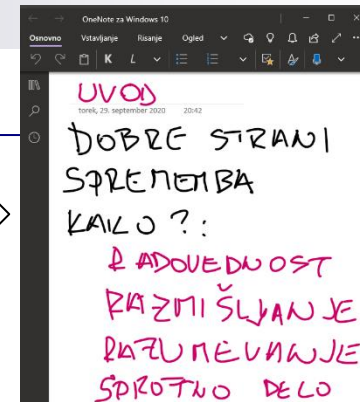
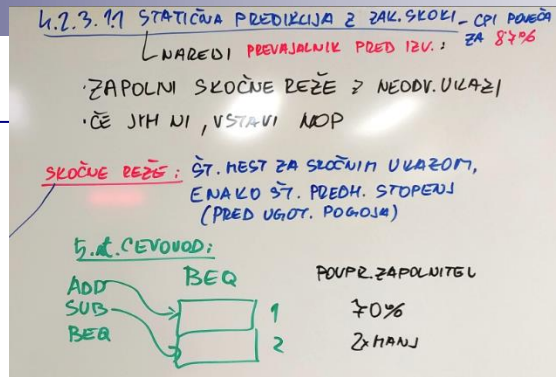
## Način dela:

### ■ predavanja:

- delovna prezentacija,
- objavljena prezentacija
  - obširnejša
  - ni samozadostno gradivo !

### ■ LAB vaje:

- Logisim: MiMo model CPE, DN1
- poglobitev znanja zbirnika (CPUlator),
- delo z napravami na STM32H7,F4,FRISMS (HW),
- praktična naloga z uporabo orodij, DN 2



#### 4.2.3.1.1 Statična predikcija z zakasnenimi skoki („delayed branch“)

Skuša prevajalnik (med prevajanjem) napovedati izid skoka:

- napoved se ne spreminja več („statična“)

Skočne reže :

- ukazi, ki sledijo skoku so v t.i. skočnih režah
- št. skočnih rež je enako številu stopenj cevovoda pred aktivno (EX) stopnjo (2)

Vstavitev ukazov v skočne reže:

- ukazi ne smejo vplivati na izid skoka
- če ni primernih, vstavi NOP-e

*Dvosmerna komunikacija (2023 še posebej !)*

# Pogovor

- Vaša pričakovanja ?
- Način dela (tabla, OneNote) ?
- Logisim-EVO ?
- ARM, Cortex M, zbirnik, vgrajeni sistemi, podatkovne listine, programiranje, razhroščevanje, preizkušanje...
- Aktivno sodelovanje

# 1. Uvod v organizacijo računalnikov in digitalna vezja

Poudarki poglavja :

- opredelitev pojmov rač. arhitekture in organizacije
- funkcionalni, nivojski pogled na zgradbo računalnika
- računalnik na nivoju digitalne logike :
  - digitalna vezja -> log. vrata -> tranzistor (osnovni gradnik)
  - VLSI – digitalna vezja visoke integracije
    - postopek njihove izdelave
    - problemi in težave

# 1. Uvod v organizacijo računalnikov in digitalna vezja

## 1.1 Splošni pojmi

Def: Arhitektura računalnika je

- obravnava za programerja vidnih lastnosti računalnika na način, ki je neodvisen od njegove logične in fizične realizacije [Kodek]
  - „... kot vidi programer na nivoju strojnega jezika ...“

Def: Organizacija (tudi mikroarhitektura) :

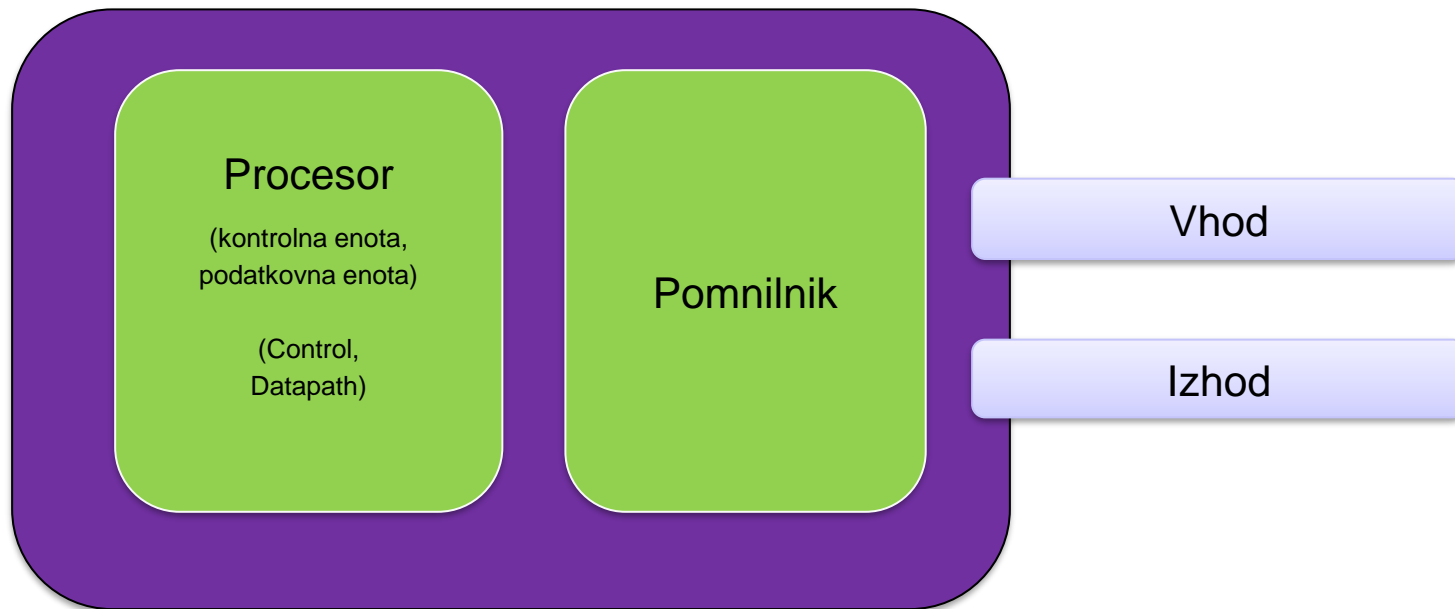
- obravnava logično zgradbo in lastnosti sestavnih delov računalnika in njihovih medsebojnih povezav [Kodek]
  - „ ... je arhitektura posameznih delov ...“
  - „ ... je bližje HW nivoju ...“

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM). Lahko je tudi obratno (mikroprogramiranje – IBM)

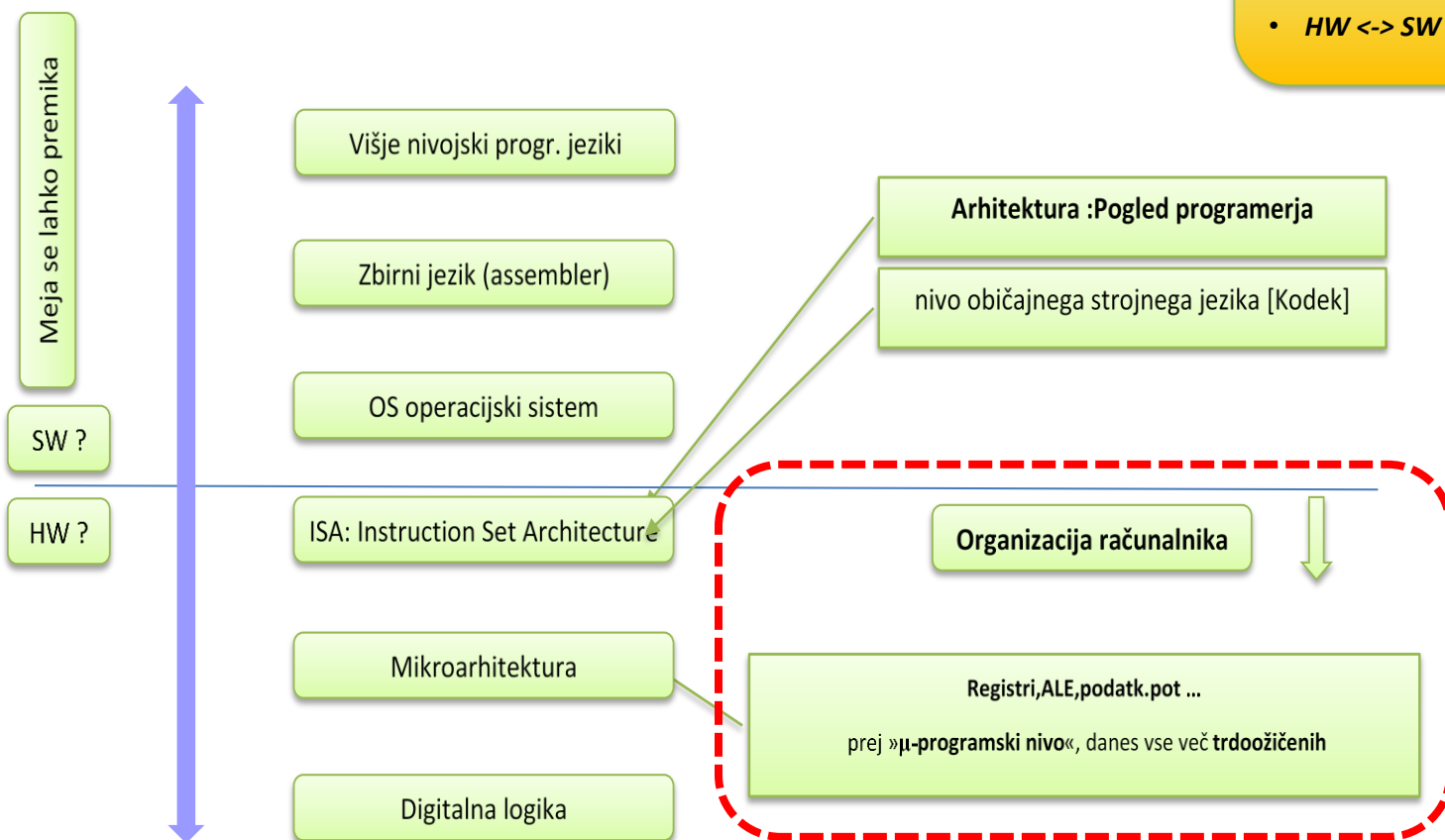
# 1.2 Zgradba in organizacija računalnika

Mogočih več različnih pogledov,  
izpostavimo 2 najbolj zanimiva :

## 1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]



## 1.2.2 Nivojska zgradba računalnika [Tanb, str. 5-8]



### Diskusija :

- *Prevajanje, interpretiranje, prenosljivost programov*
- *HW <-> SW*



## 1.3 Računalnik na nivoju digitalne logike

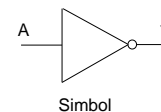
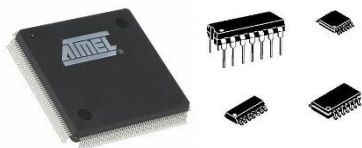
### ■ Računalnik :

- sestavljen iz digitalnih (logičnih, preklopnih) vezij :

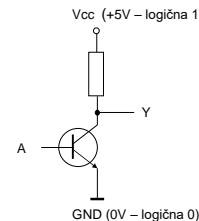
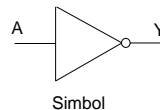


### ■ digitalna vezja sestavljena iz logičnih vrat:

- (seštevalnik, ALU, ...)



- logična vrata realizirana z elektronskimi elementi



# 1.3 Računalnik na nivoju digitalne logike

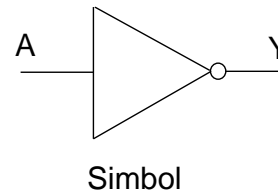
## 1.3.1 Osnove digitalnih vezij

Logična vrata realiziramo z elektronskim vezjem:

- logični stanji 0,1 <-> napetostni nivoji  $\approx 0V, \approx 3.3V(5V)$
- osnovni gradnik

**Matematični  
ideal**

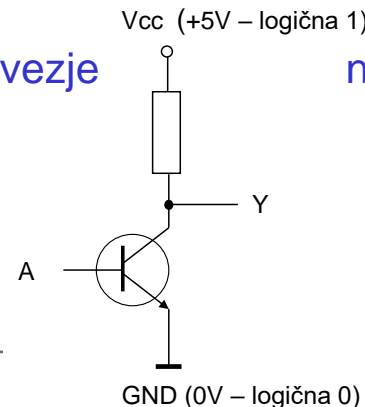
**matematični (logični) pogled:** logična vrata



logični nivoji 0,1

**elektronska realizacija :**

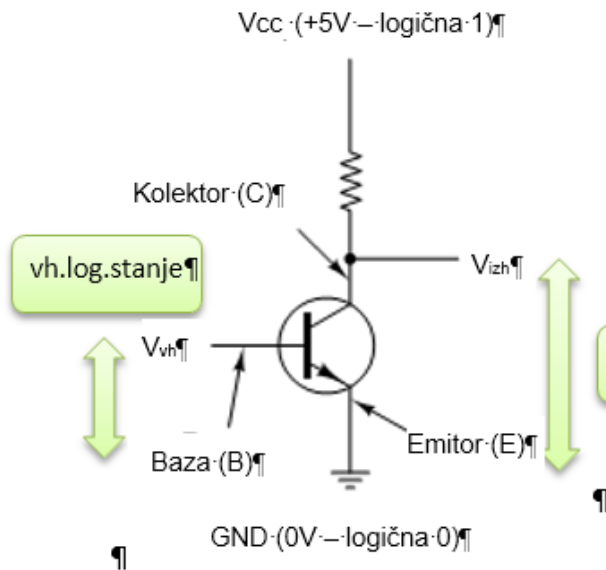
elektronsko vezje



napetostni nivoji  $\approx 0V, \approx 3.3 (5) V$

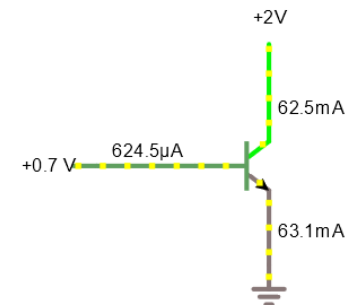
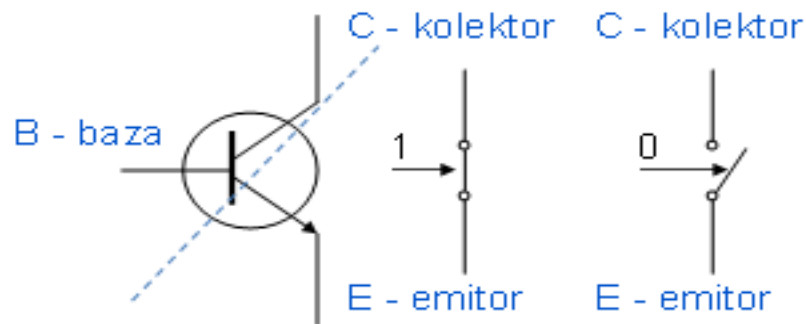
**Elektronska  
realizacija**

# 1.3.1.1 Osnovni gradnik digitalnih vezij – tranzistor kot stikalo



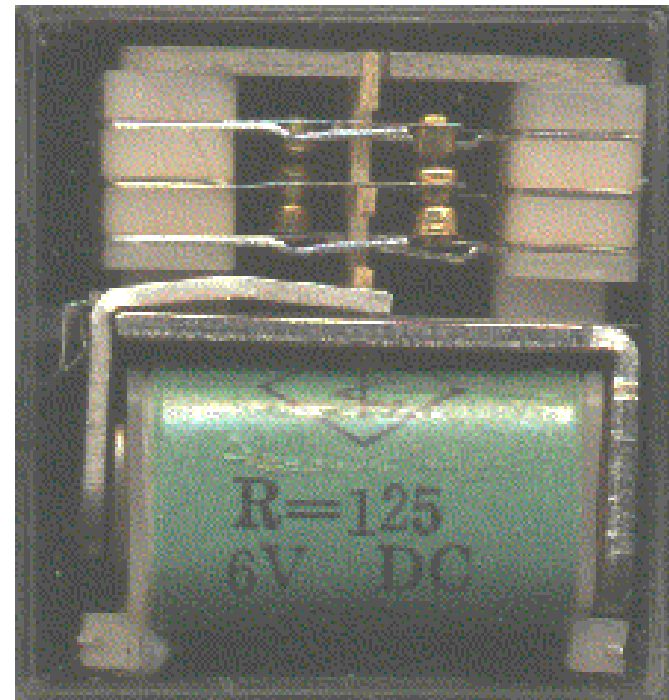
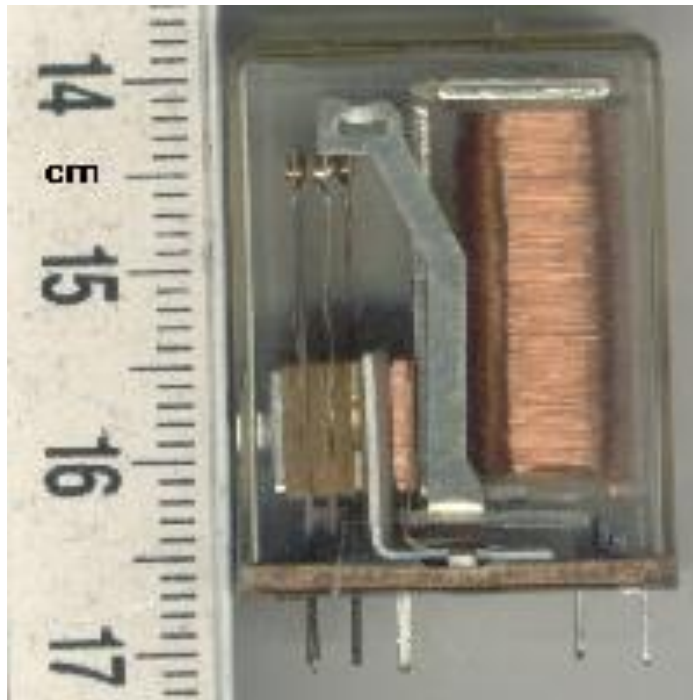
vh.log.stanje baza-emitor	$V_{vh}$	izh.log.stanje kolektor-emitor	$V_{izh}$
1	5V(3.3V)	0	0V
0	0V	1	5V(3.3V)

tranzistor kot stikalo

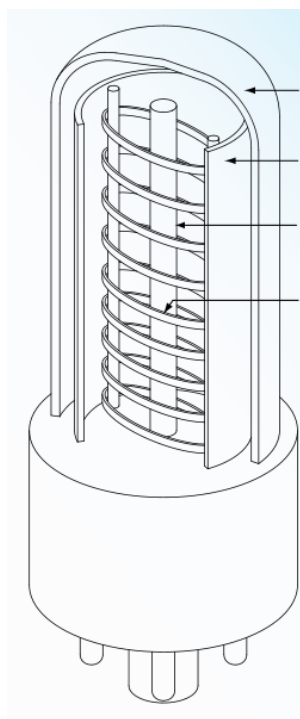


## 1.3.1.2 Realizacije stikala v digitalnih vezjih

- Rele, leto 1939, čas preklopa 1-10ms ( $\text{ms} = 10^{-3} \text{ s}$ )



- Elektronka 1945 - 1955, čas preklopa  $\sim 5\mu\text{s}$  ( $\mu\text{s}=10^{-6}$  s)

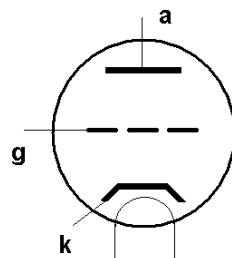


Stekleno ohišje

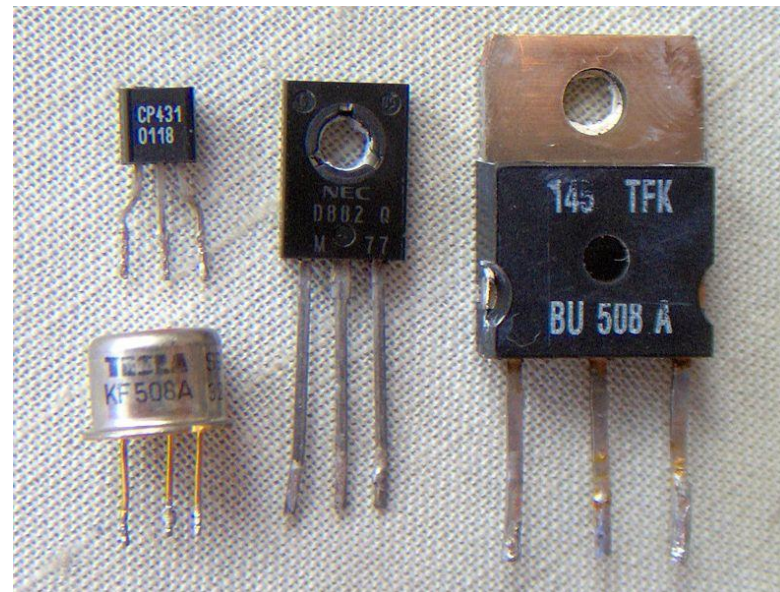
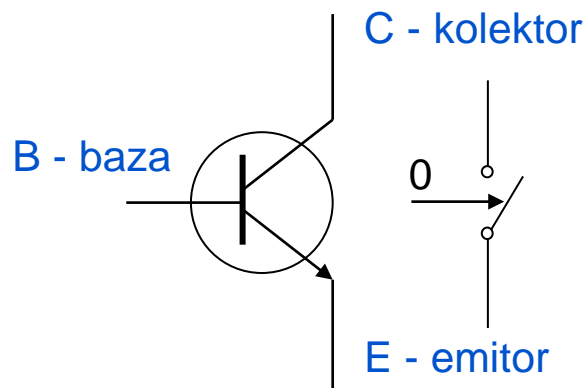
Anoda

Katoda

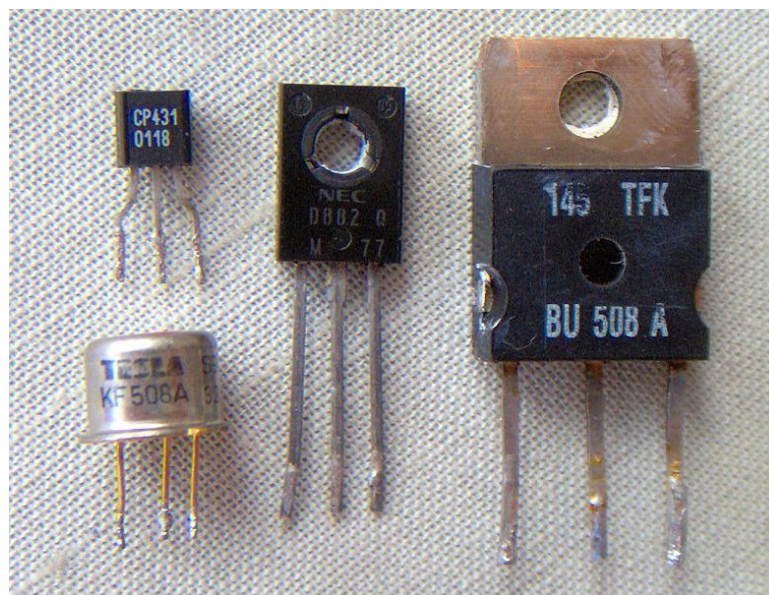
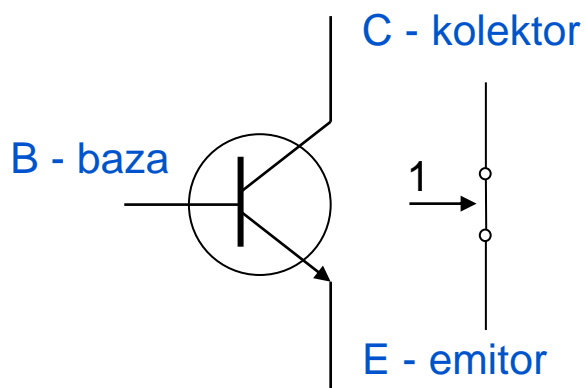
Mrežica



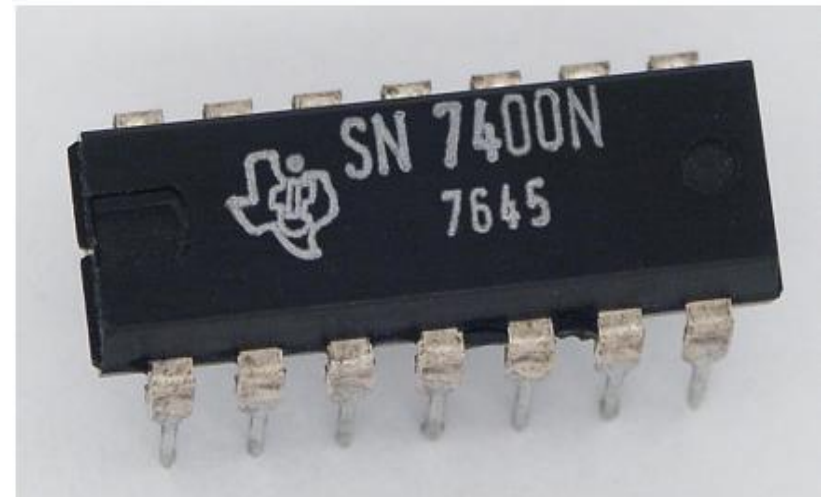
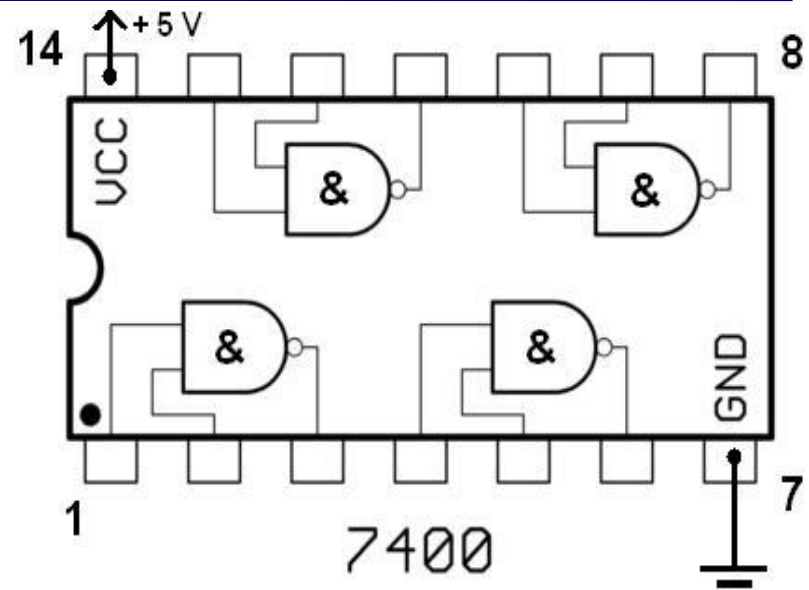
- Tranzistor, 1955 -> , čas preklopa  $\sim 10\text{ns}$  ( $\text{ns}=10^{-9}\text{ s}$ )



- Tranzistor, 1955 -> , čas preklopa  $\sim 10\text{ns}$  ( $\text{ns}=10^{-9}\text{ s}$ )

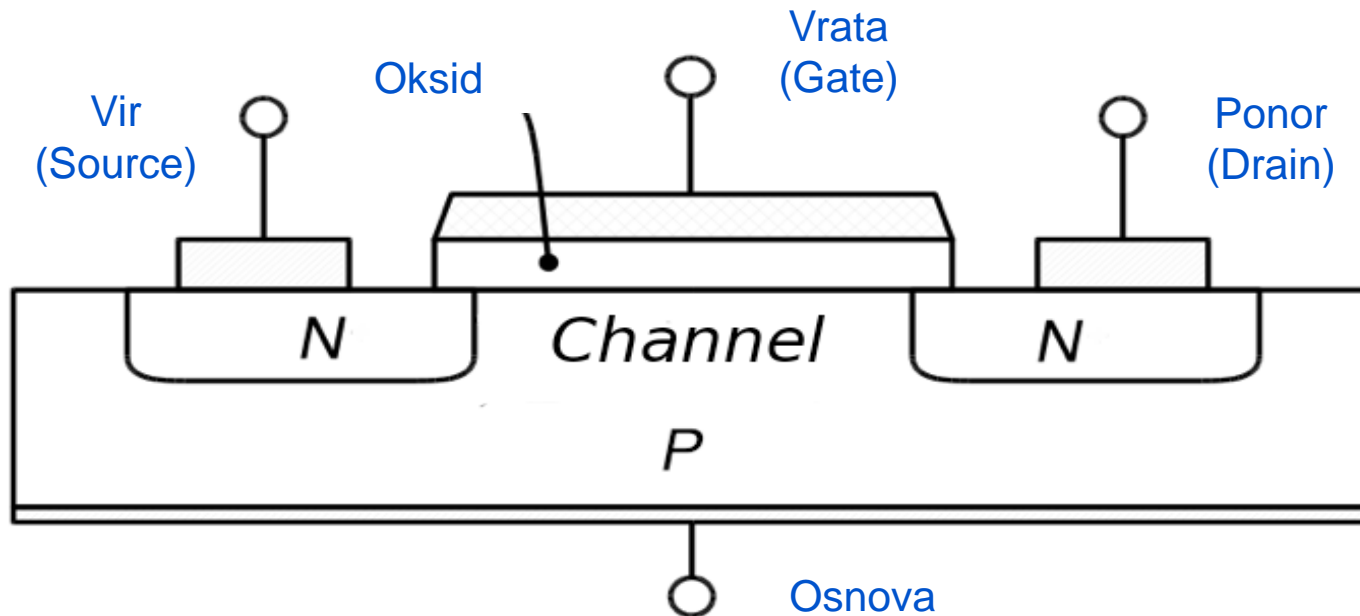


- Tranzistor v integriranih vezjih (TTL od konca 60.let)
  - čas preklopa  $< 10\text{ns}$

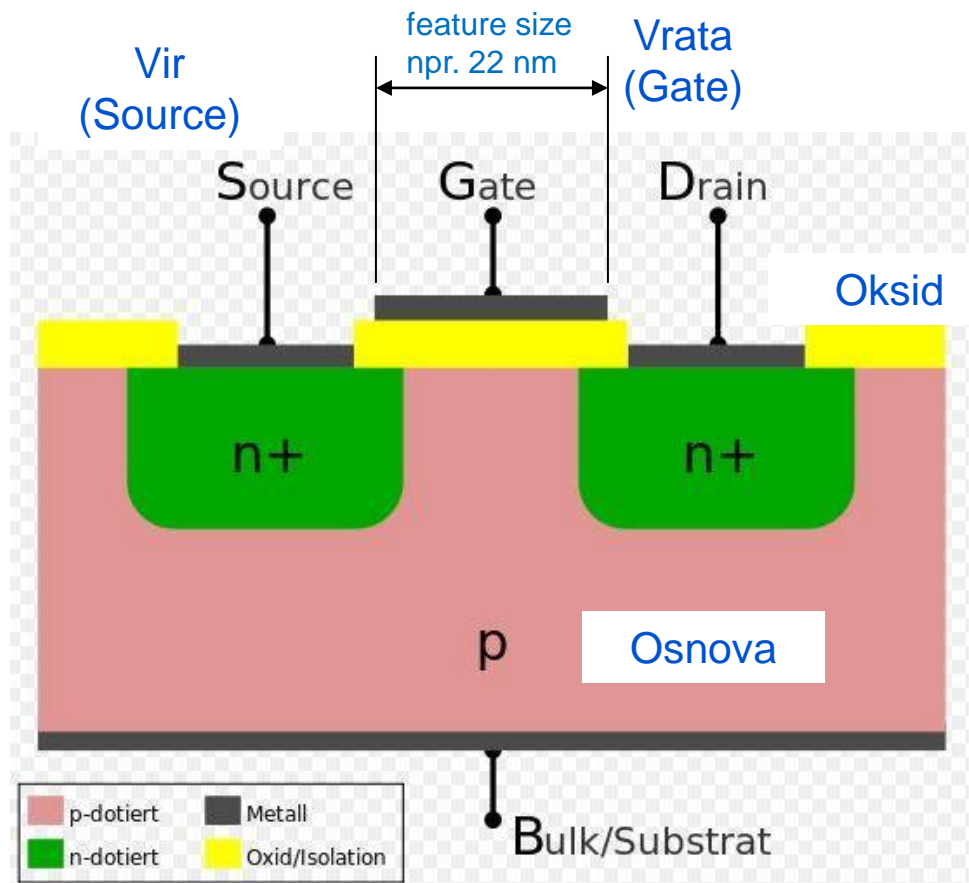




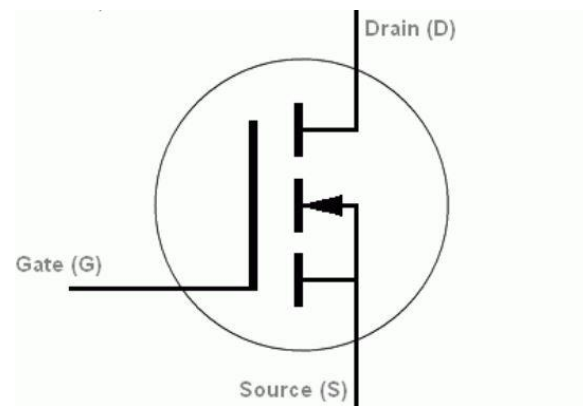
- Tranz. v VLSI integriranih vezjih
  - MOSFET, čas preklopa  $< 0,1\text{ns}$



# Tranzistor kot del integriranega vezja



Ponor (Drain)



## 1.3.1.2 Realizacija stikala v digitalnih vezjih

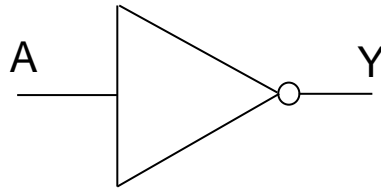
*Ponovitev iz predmeta RA*

Leto	Stikalo	Preklopni čas
1939	Rele	1-10ms
1945-1955	Elektronka	~5 $\mu$ s
1955	tranzistor	10ns
Konec 60. let	tranzistor v TTL digit. vezjih	2-10ns
1980	VLSI	<0,1ns

## 1.3.2 Realizacija logičnih vrat

Ponovitev iz predmeta RA

### 1.3.2.1 Realizacija logične funkcije NEGACIJA (NOT)



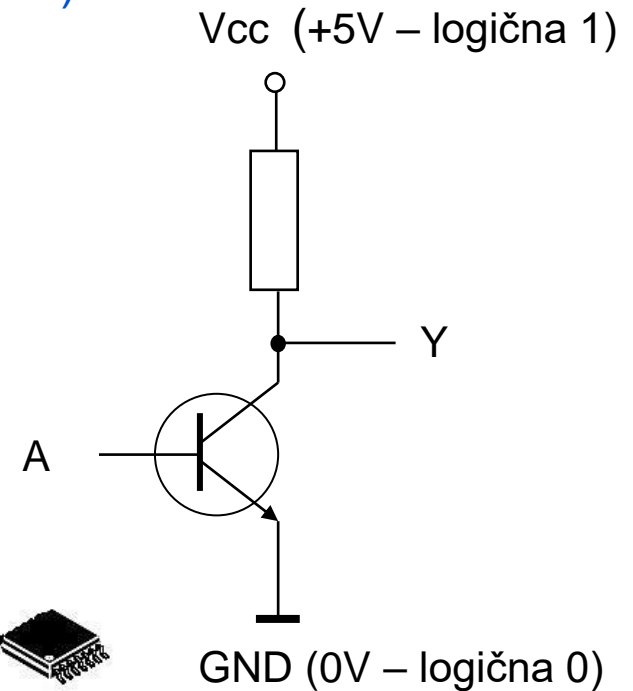
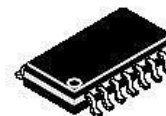
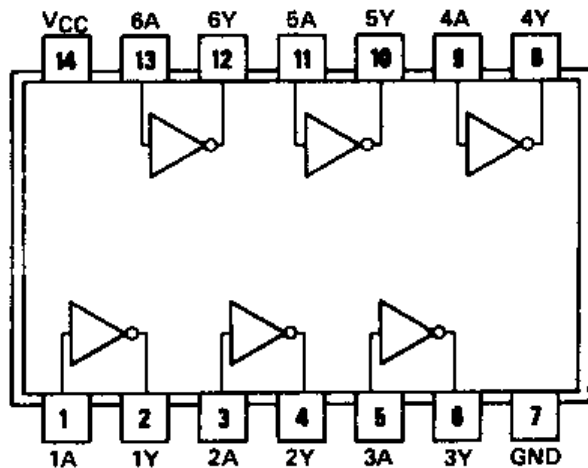
Simbol

A	Y
0	1
1	0

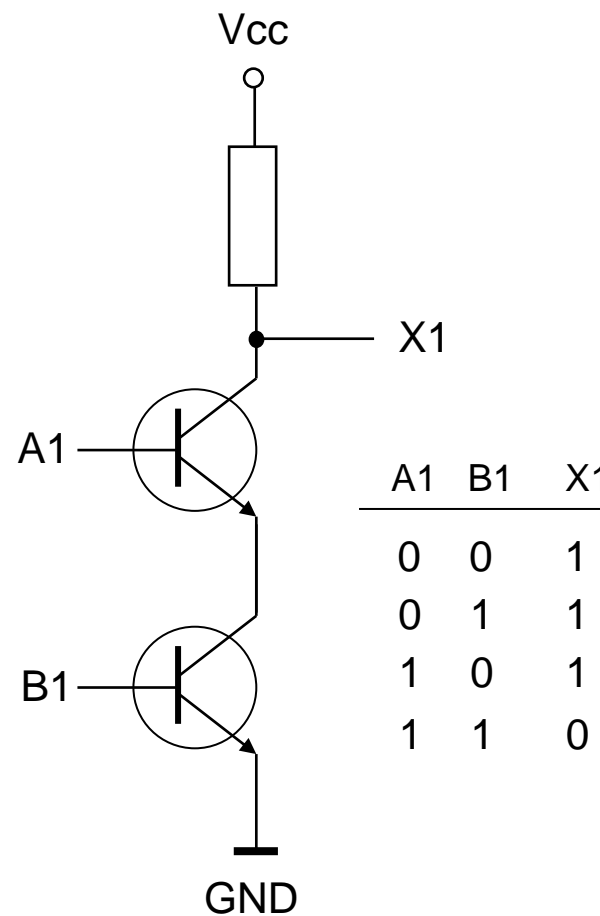
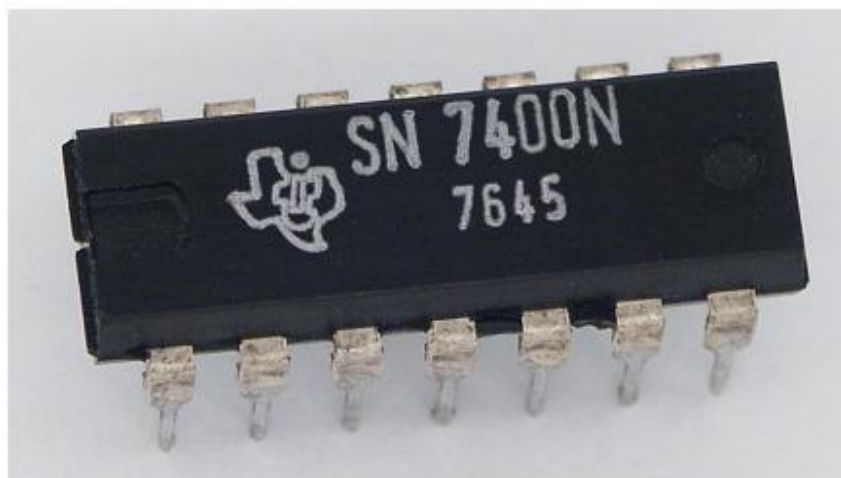
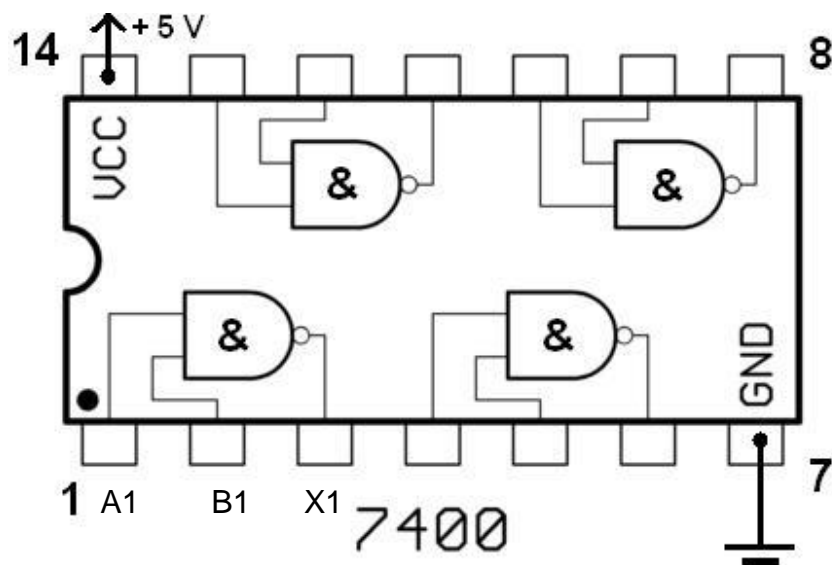
Pravilnostna tabela

### IC (Integrated Circuit) s 6 negatorji

**7406**

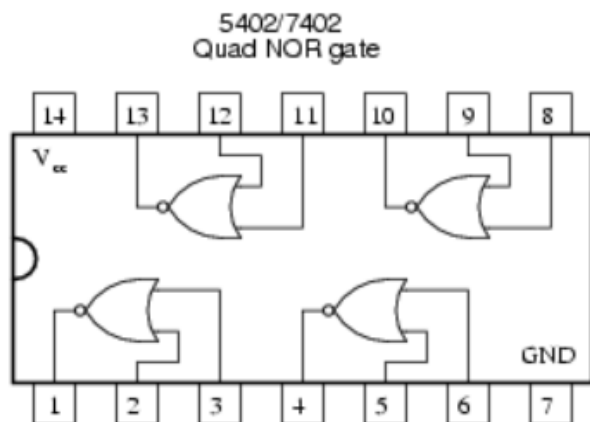


## 1.3.2.2 Realizacija logične funkcije NAND (Negirana konjunkcija)

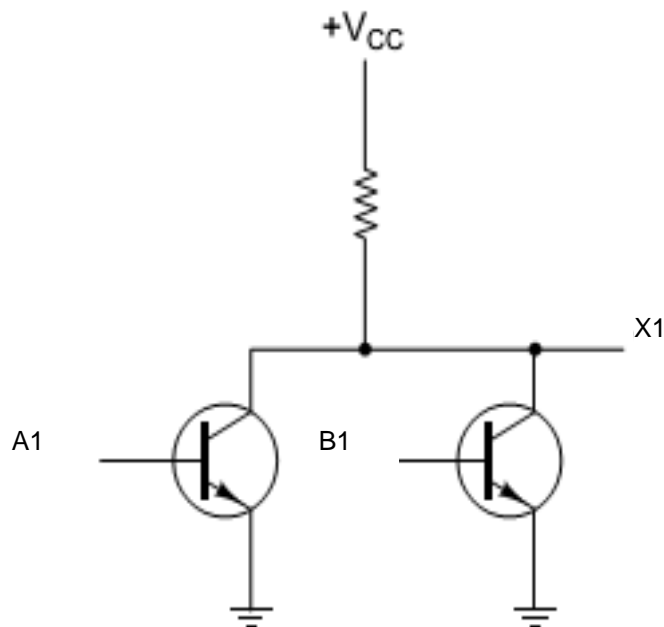


Logisim: pullup\_nor\_nand.circ

### 1.3.2.3 Realizacija logične funkcije NOR (Negirana disjunkcija)

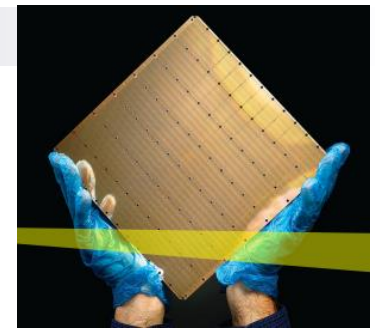


A1	B1	X1
0	0	1
0	1	0
1	0	0
1	1	0



Logisim: pullup\_nor\_nand.circ

## 1.3.3 Digitalna vezja visoke stopnje integracije - VLSI



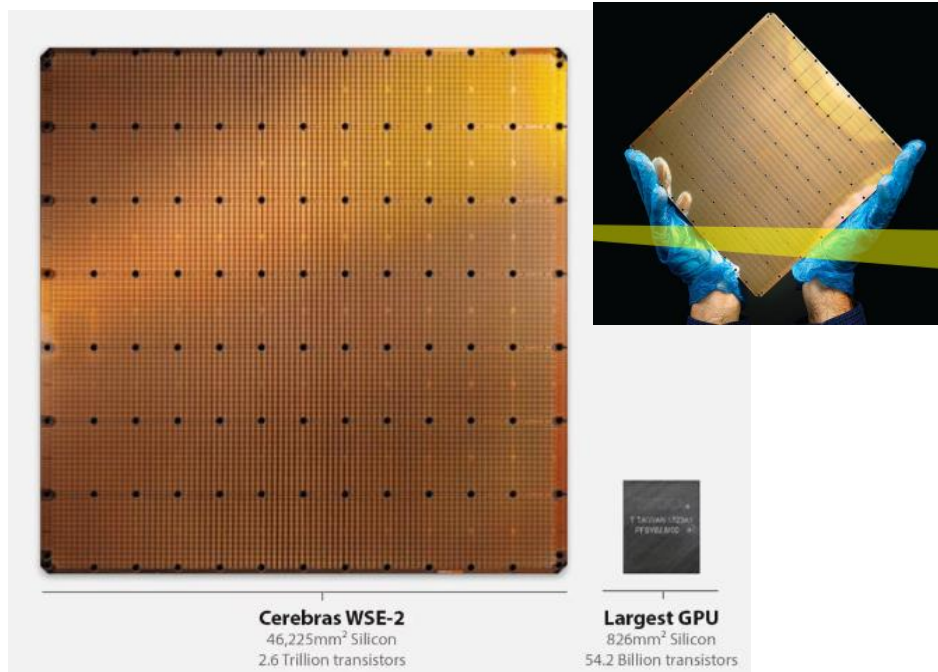
### 1.3.3.1 Razvoj digitalnih vezij

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov	MOSFET scaling (process nodes)
SSI	60. leta	nekaj 10	1-10	10 μm – 1971
MSI	pozna 60. leta	nekaj 100	10-100	6 μm – 1974
LSI	zgodnja 70. leta	nekaj 1000	100-100000	3 μm – 1977
VLSI	1980->	nekaj 100000	nad 100000	1.5 μm – 1981
	1986	1 milijon		1 μm – 1984
Pentium 4	2002	55 milijonov		800 nm – 1987
	2005	1 milijarda		600 nm – 1990
<u>Xeon Westmere-EX – 10 cores</u>	2012	>2.5 milijarde		350 nm – 1993
Ivy Bridge-EX-15	Q3/2013	4.3 milijarde		250 nm – 1996
22-core <u>Xeon Broadwell-E5</u>	2016	7,2 milijard		180 nm – 1999
AMD Epyc	2017 (2019)	>19 milijard (32 milijard)		130 nm – 2001
Apple M2 Ultra	2023	134 milijard		90 nm – 2003
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip	65 nm – 2005
				45 nm – 2007
				32 nm – 2009
				22 nm – 2012
				14 nm – 2014
				10 nm – 2016
				7 nm – 2018
				5 nm – 2020
				3 nm – 2022
				Future
				2 nm ~ 2024

# 1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

## 1.3.3.1 Razvoj digitalnih vezij – namenski čipi

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip
Micron's <u>V-NAND</u>	2022	5300 milijard	*namenski Flash čip



### Micron's 232-Layer NAND

The foundation for a new wave of end-to-end technology innovation

- Highest layer count
- Most bits/mm<sup>2</sup>
- Fastest I/O speed

Built on the proven technologies pioneered in Micron's industry-leading 176-layer NAND

**Applications and services**

232-layer NAND is ideal for data-intensive and demanding storage applications

- Client
- Mobile
- Intelligent edge
- Data center

**Benefits of Micron's 232-layer, 6-plane architecture**

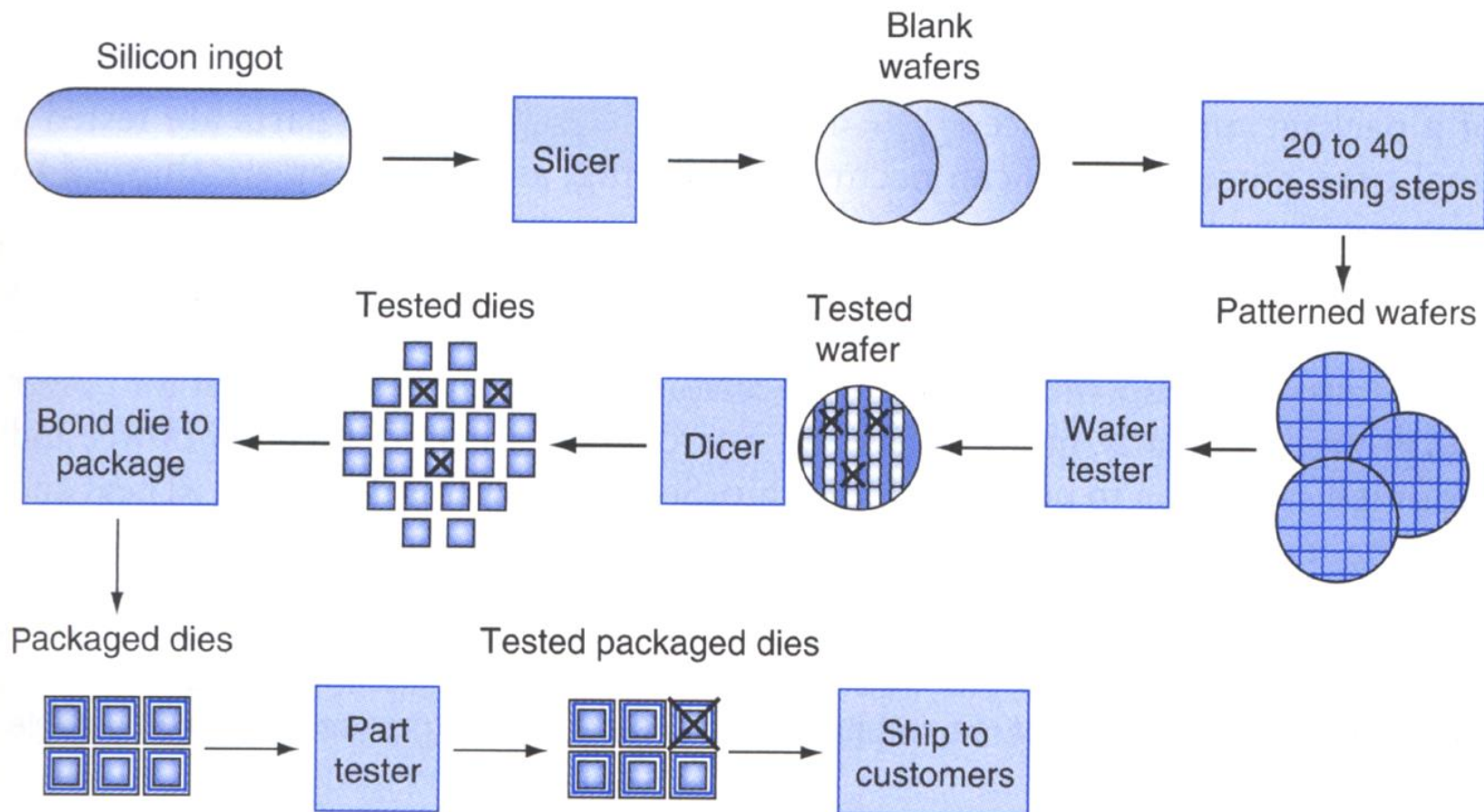
- 100%** higher write bandwidth\*
- >75%** higher read bandwidth\*
- 50%** increase in transfer rate to 2.4 GB/s (ONFI bus)\*
- 28%** smaller package\*\*

Footnote:  
\* Performance increases for speed and bandwidth are compared to previous-generation 176-layer NAND  
\*\* Package size compared to previous generation: B47H vs B68R

© 2022 Micron Technology, Inc. Micron, the Micron logo, the M with logo, Intelligence Accelerated™, and other Micron trademarks are the property of Micron Technology, Inc. All other trademarks are the property of their respective owners.



## 1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij

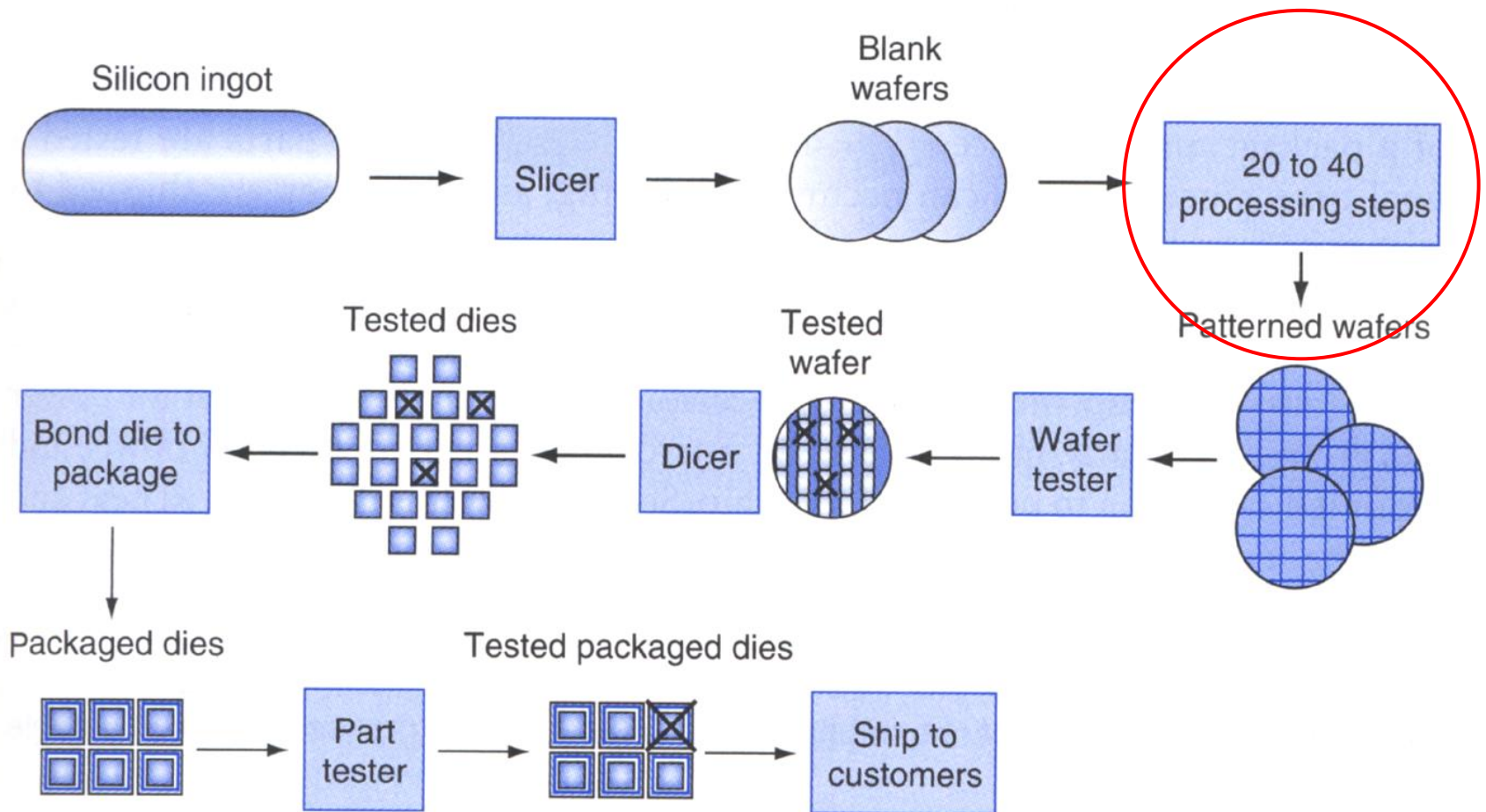


David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

- Priprava->Ingot -> rezalnik -> rezine, „wafers“



### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

- V 20 do 40 procesnih korakih se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
  - tranzistorji,
  - povezave in
  - izolatorji.

## Faze procesnega koraka :

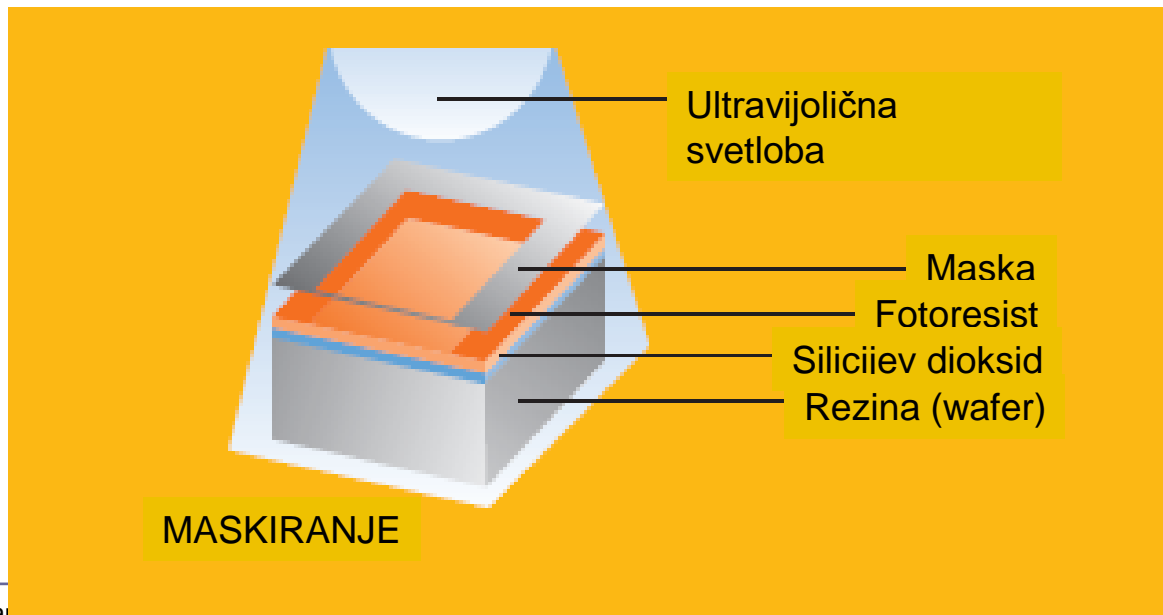
### 1. Izolacija in prekrivanje

- Na površini rezine se z dodajanjem kisika pri temp. 1000 do 1200 °C najprej ustvari izolacijska plast silicijevega dioksida.
- Površina se nato prekrije s svetlobno občutljivo snovjo – fotorezist, ki se pod vplivom svetlobe raztopi.

## Faze procesnega koraka :

### 2. Maskiranje

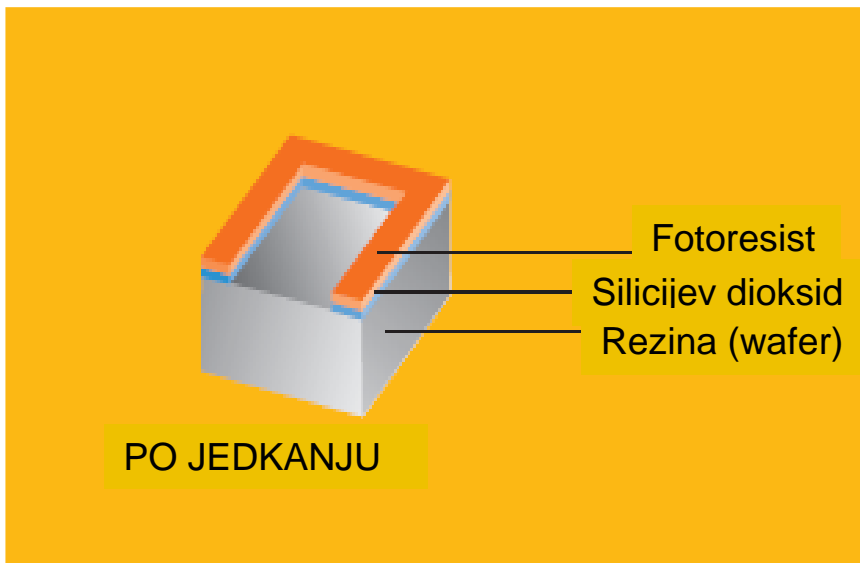
- Maska, ki se oblikuje pri načrtovanju vezja, se s fotolitografskim postopkom nanese na površino in določa obliko vezja v določeni plasti čipa.
- Za pozicioniranje maske na rezino so potrebne izredno precizne naprave – stepperji.
- Steper z ultravijolično svetlobo osvetli dele površine, ki niso pokriti z masko.
- Osvetljeni predeli fotoresista se spremenijo v raztopljeno lepljivo plast.



## Faze procesnega koraka :

### 3. Jedkanje

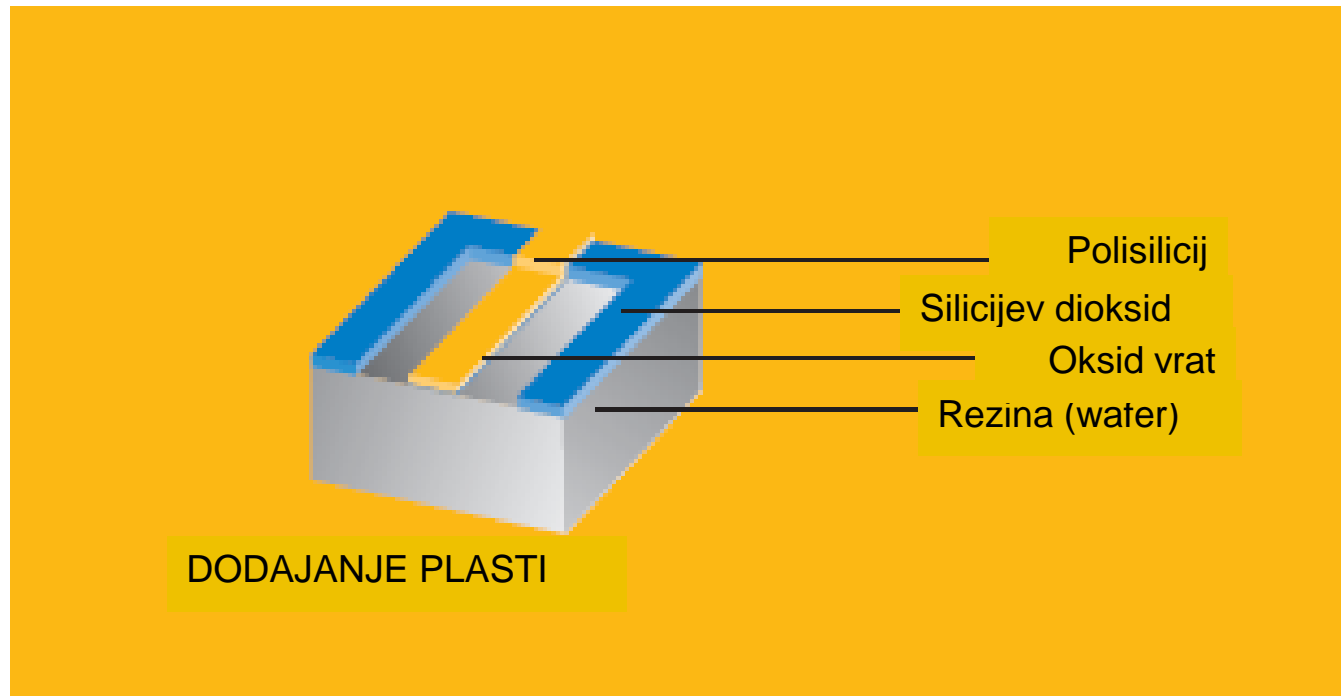
- Osvetljeni deli fotoresista se odstranijo in odkrijejo plast silicijevega dioksida, ki je tako na teh delih nezaščiten.
- Z jedkanjem se ti nezaščiteni deli silicijevega dioksida odstranijo, na rezini pa ostanejo vzorci silicijevega dioksida



## Faze procesnega koraka :

### 4.a Dodajanje plasti (povezave, priključki, ...)

- Dodatni materiali, kot npr. polisilicij (silicij, sestavljen iz manjših kristalov), ki prevaja električni tok, se nanašajo na rezino z nadaljnjim maskiranjem in jedkanjem.
- Tako se na rezino nanese in delno odstrani več plasti, ki imajo vsaka drugačen vzorec in tvorijo tranzistorje in povezave med njimi.

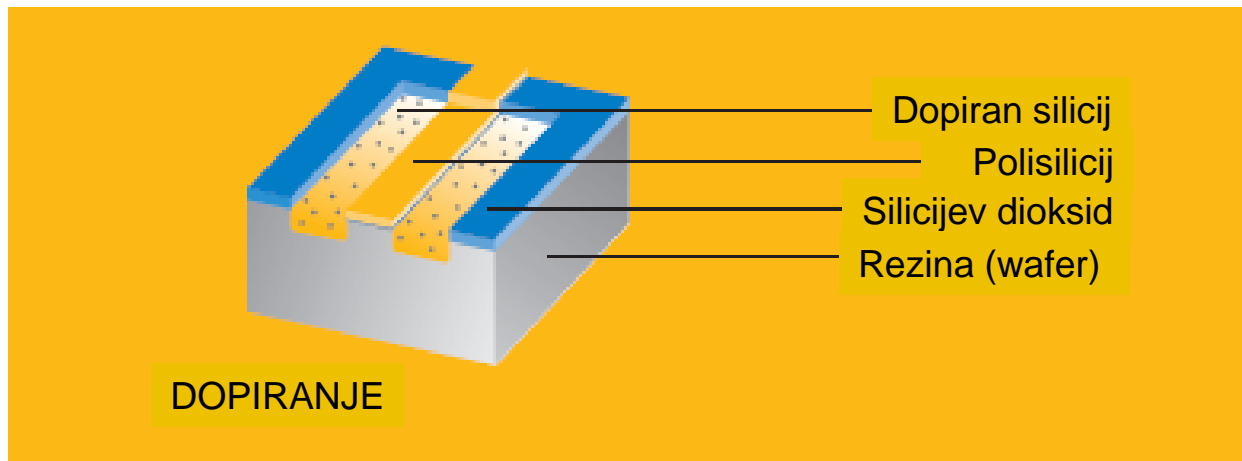




## Faze procesnega koraka :

### 4.b Dopiranje (difuzija) – za tvorbo tranzistorjev

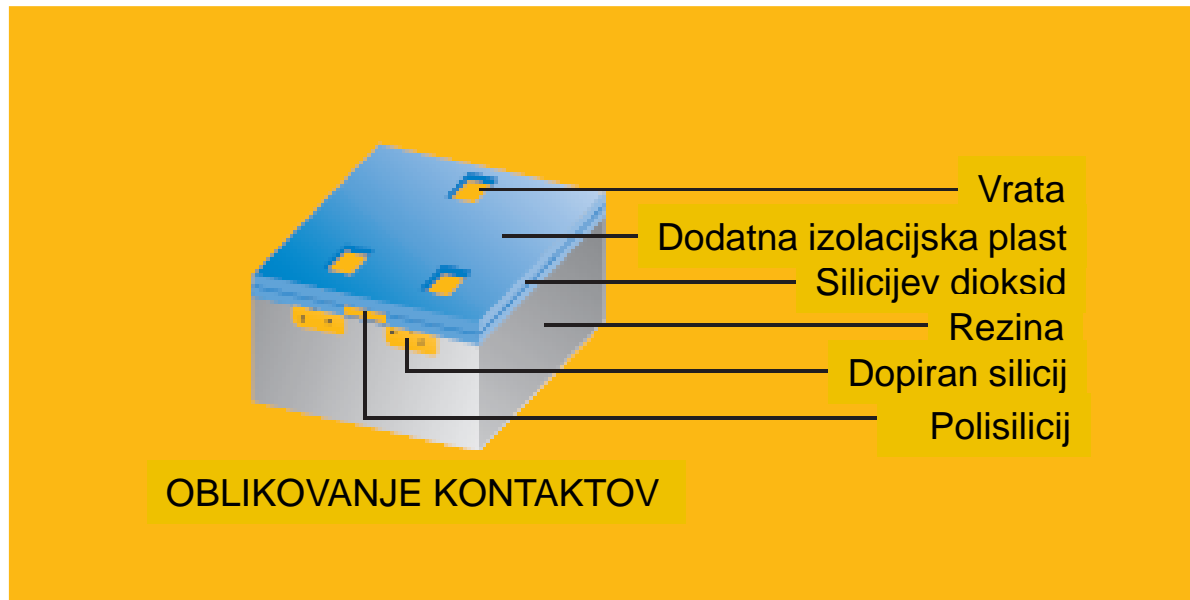
- Izpostavljena področja se bombardirajo z ioni različnih materialov, največkrat bora, fosforja ali arzena (nečistoče).
- Ti ioni prodirajo skozi kristalno mrežo silicija in spremenijo električne lastnosti na teh področjih.
- Dopiranje “spremeni čisti silicij v tranzistor”, ki lahko pod vplivom krmilnega signala prevaja električni tok ali pa ne – deluje kot stikalo in tako predstavlja binarno 1 ali 0.



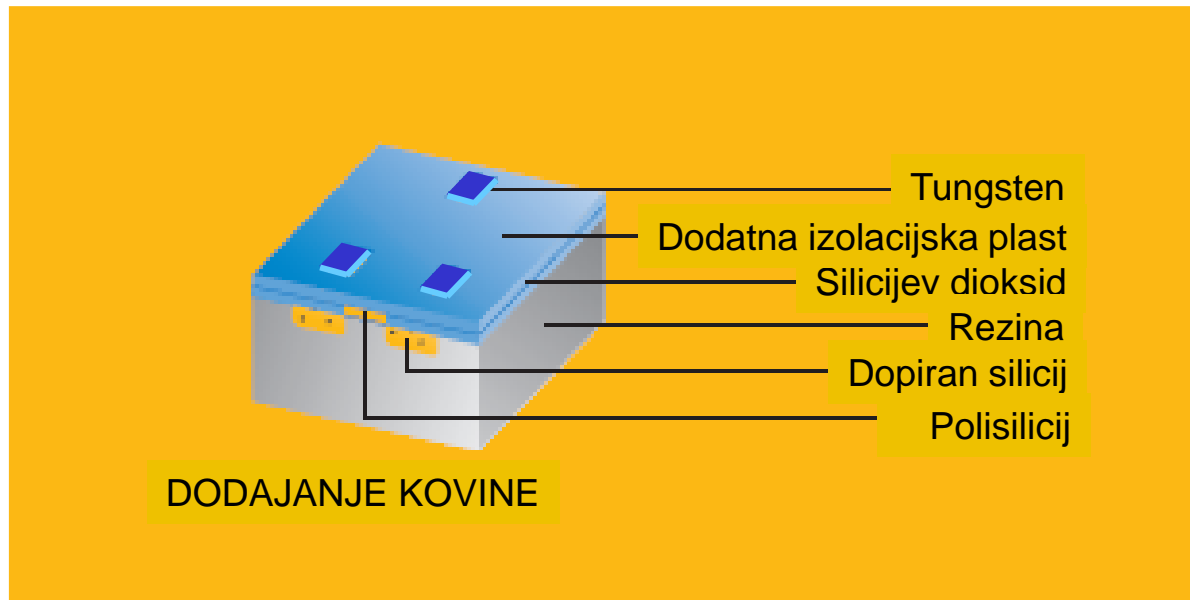
## Faze procesnega koraka :

### 4.c Oblikovanje kontaktov

- Za povezave med posameznimi plastmi se z nanašanjem kovin, maskiranjem in jedkanjem oblikujejo električni kontakti.

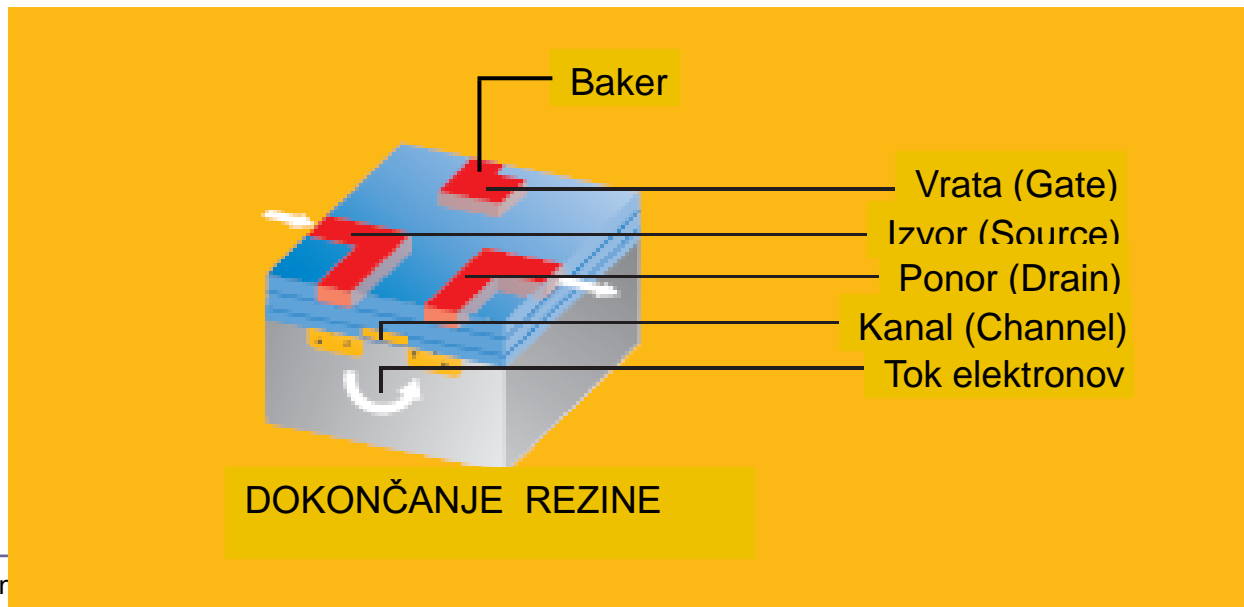


## Faze procesnega koraka : 4.c Oblikovanje kontaktov

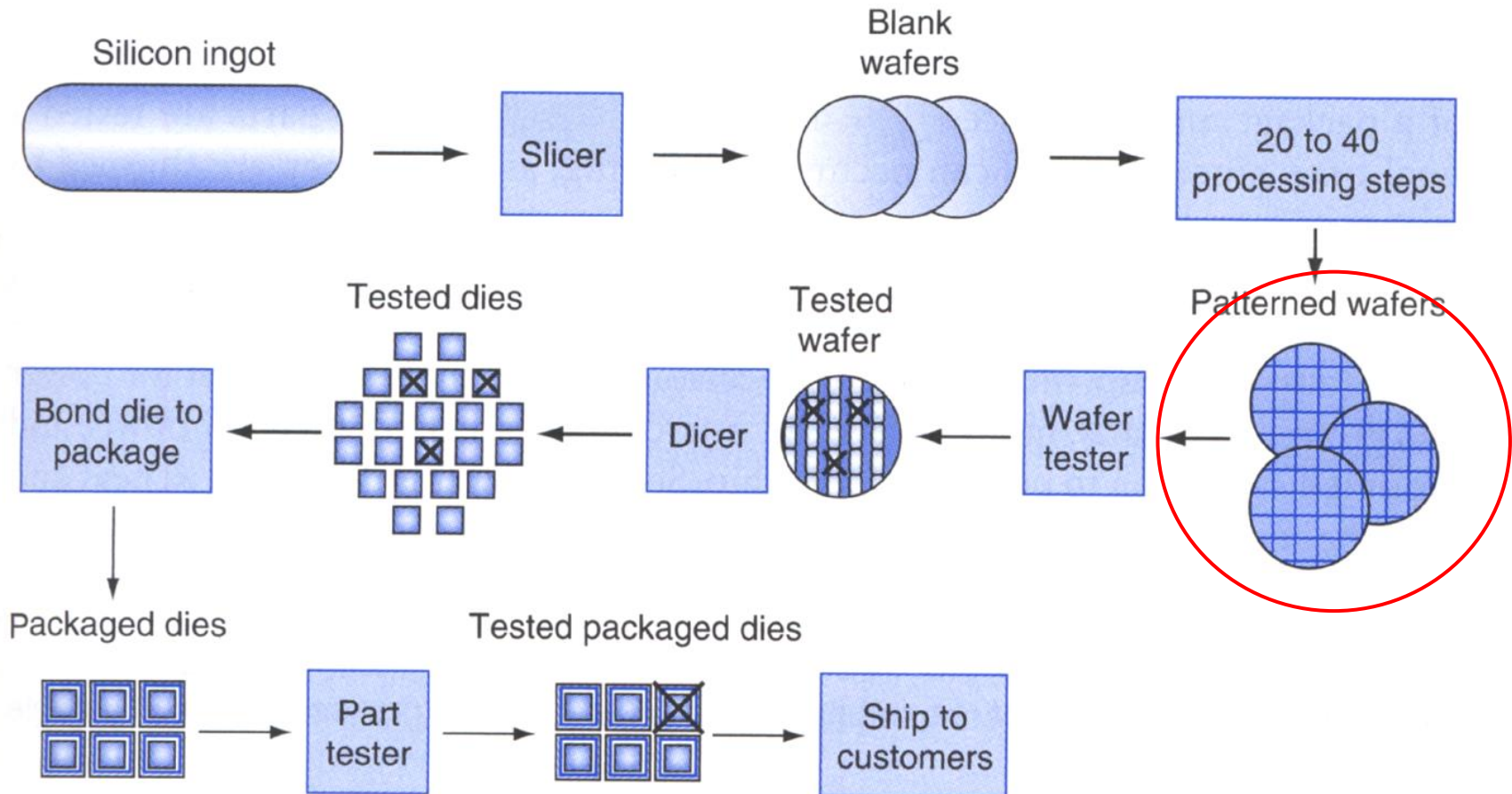


## ■ Dokončanje rezine

- Pozitivni naboj na vratih tranzistorja privlači elektrone, zato **po kanalu med izvorom in ponorom tranzistorja steče električni tok (on)**.
- Negativni naboj na vratih tranzistorja pa prepreči, da bi tok tekkel med izvorom in ponorom (off).
- V tridimenzionalni strukturi je tako zgrajeno vezje na čipu.
- Dokončana rezina vsebuje nekaj 10 ali 100 čipov vsak z milijoni tranzistorjev, ki delujejo kot stikala.

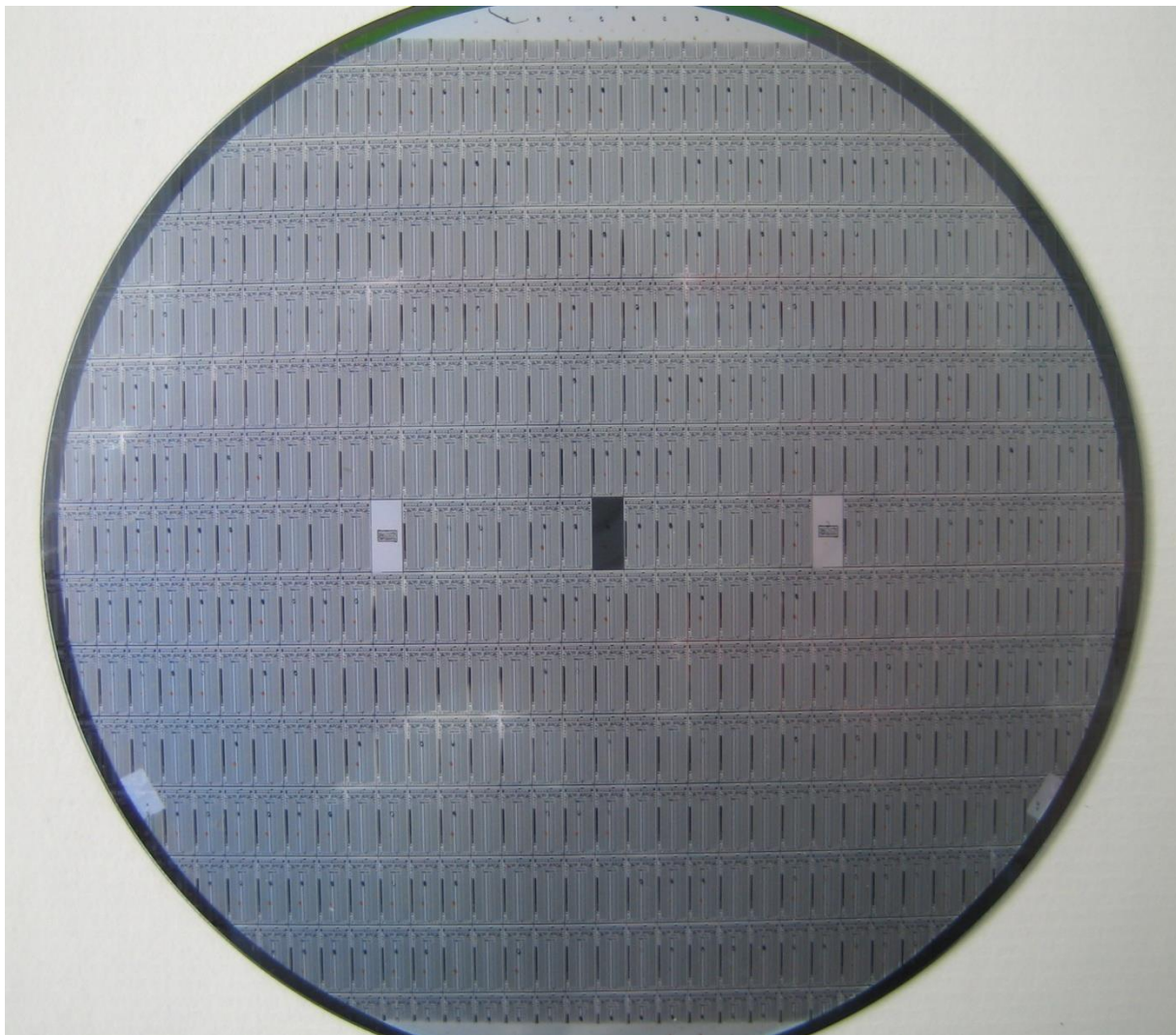


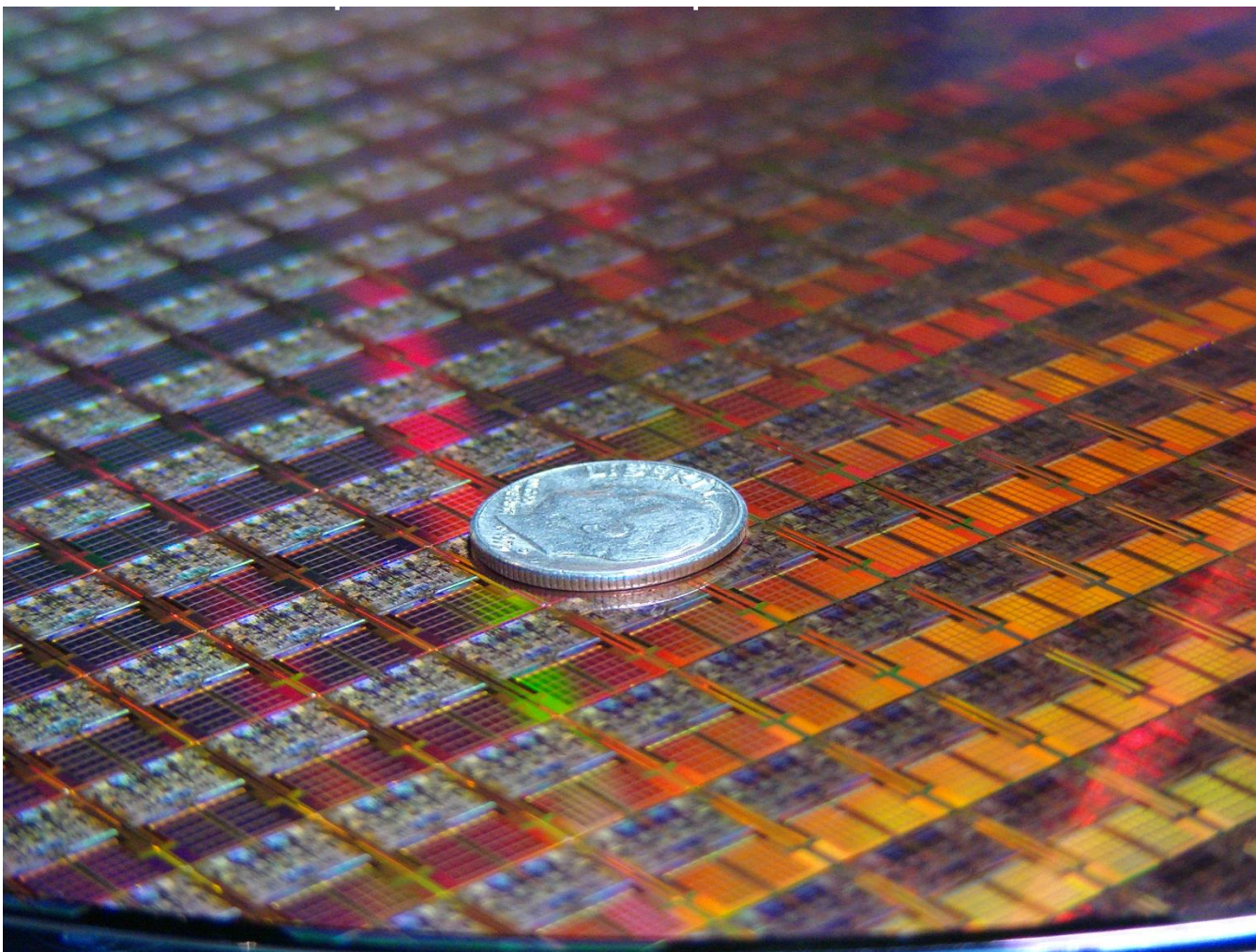
### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



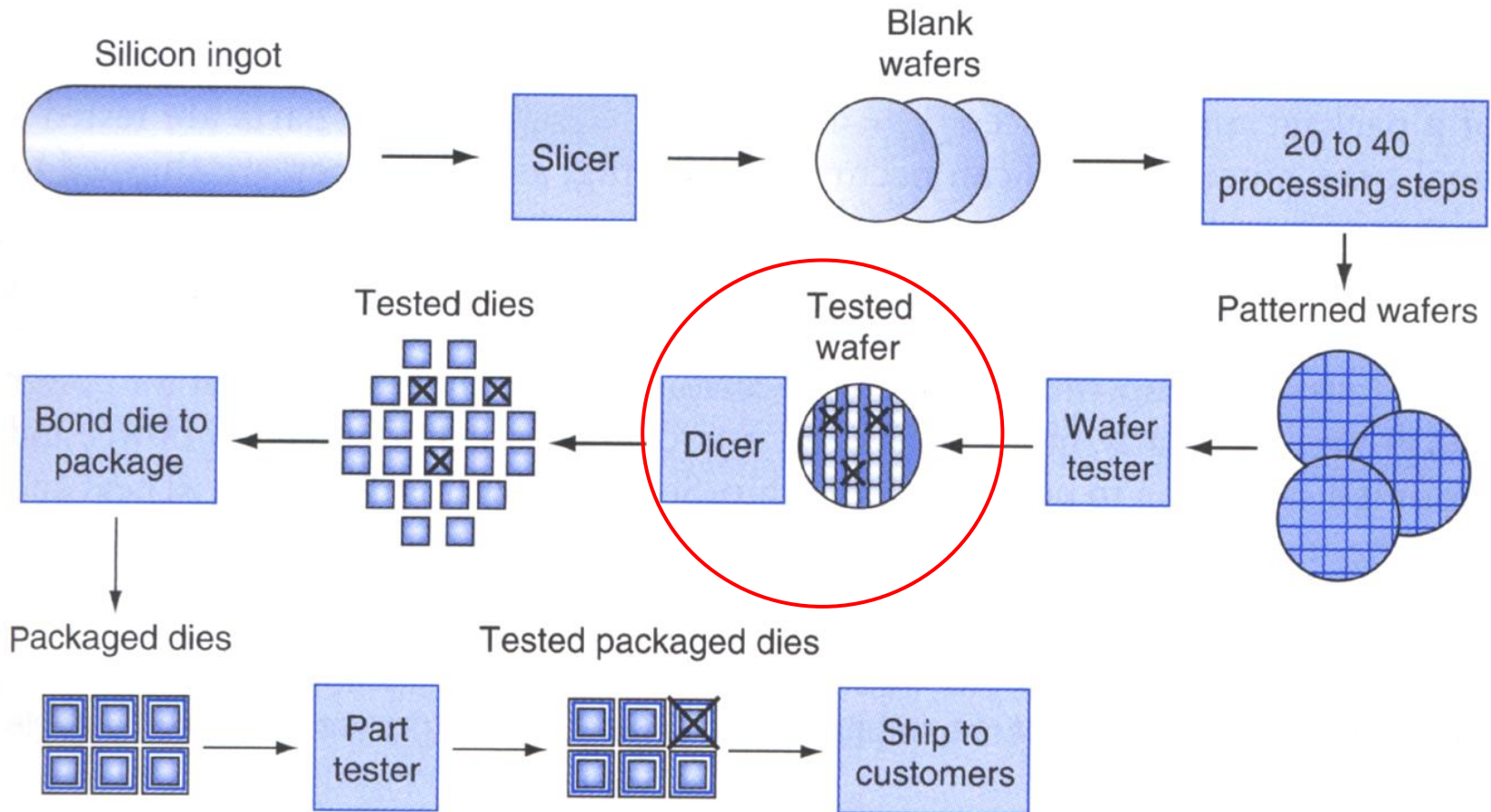
David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

Rezina (wafer) s približno 250 pomnilniškimi čipi pred razrezom





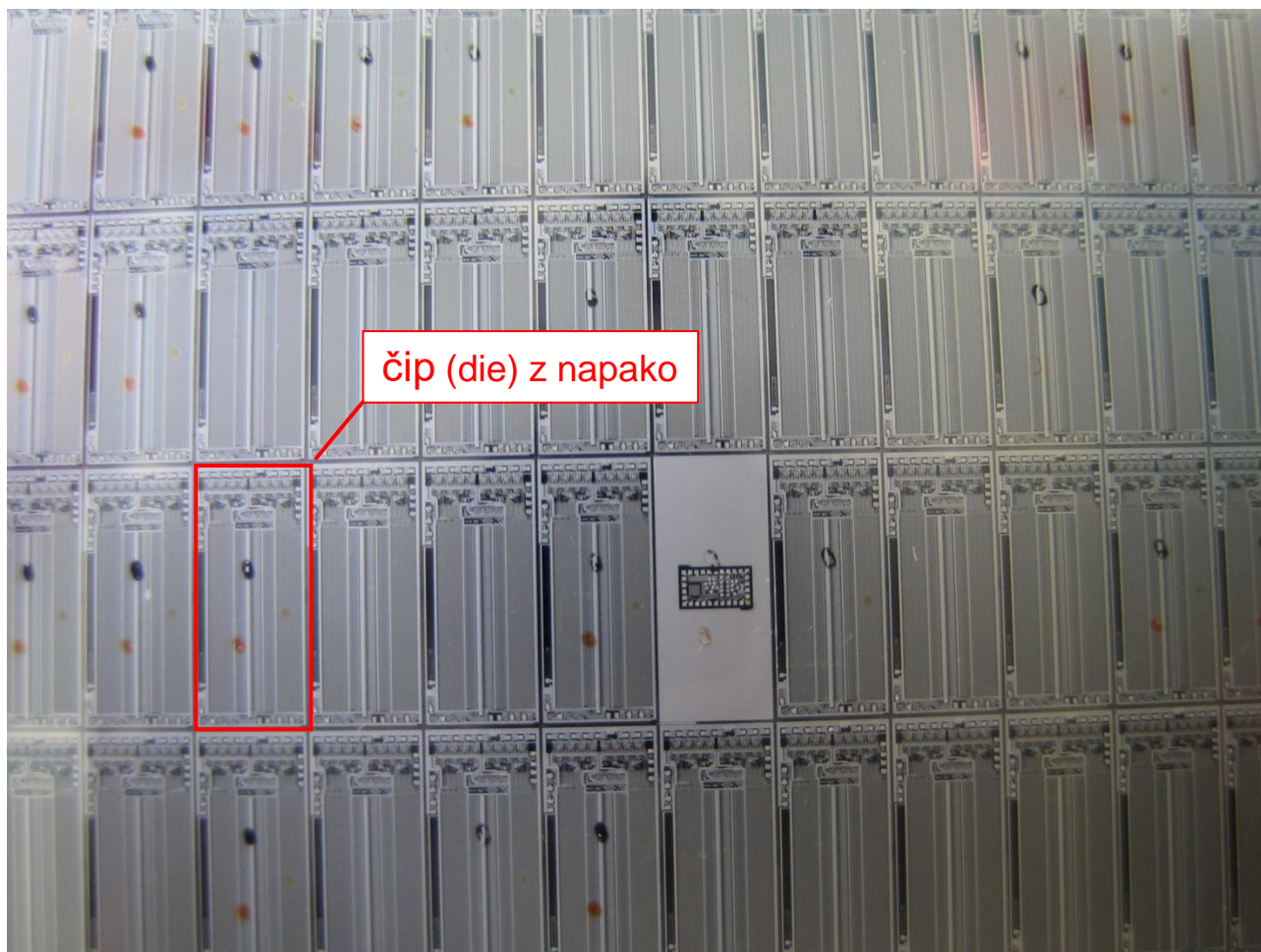
### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

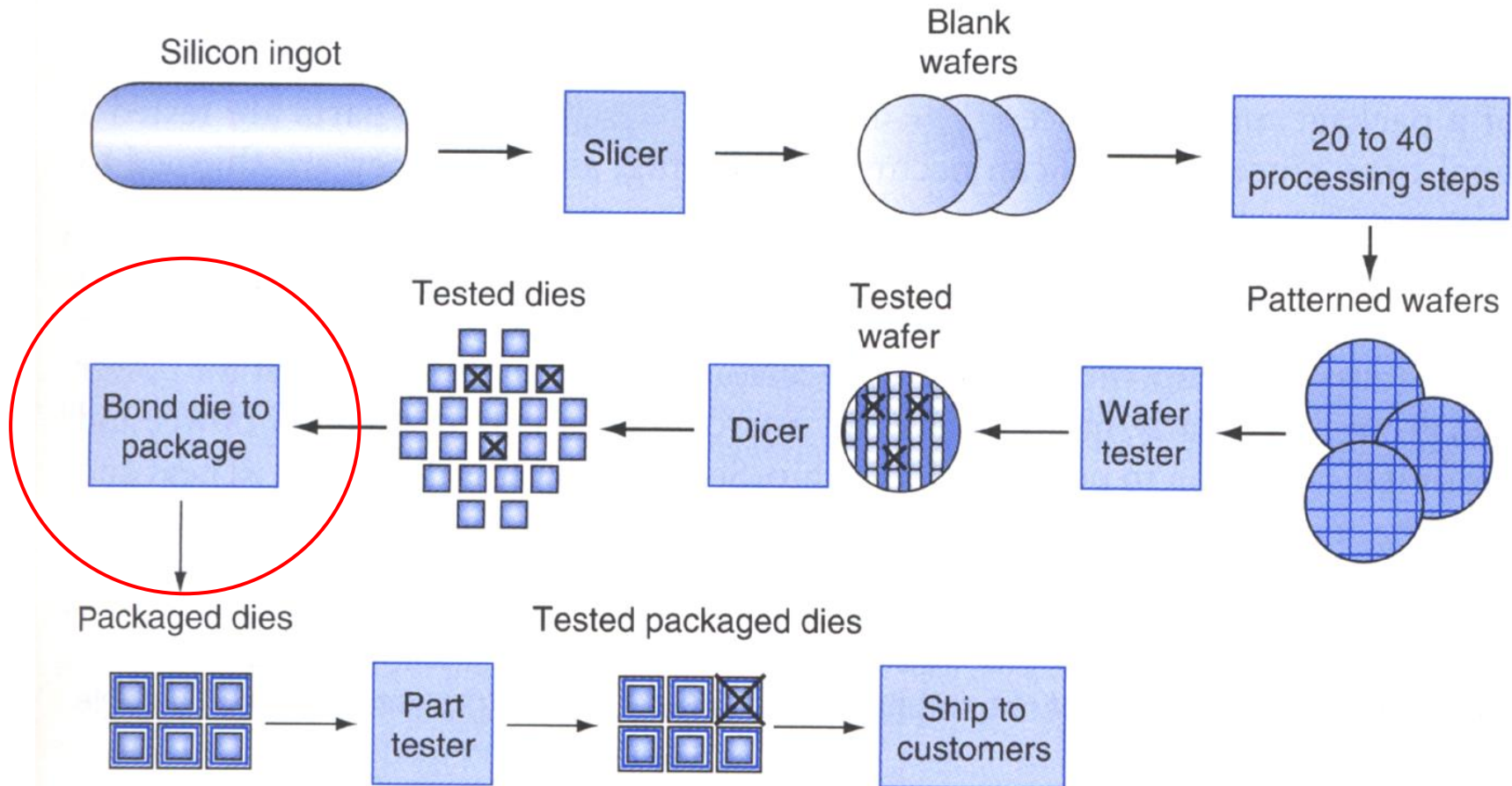


### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



Rezina z označenimi slabimi čipi

### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

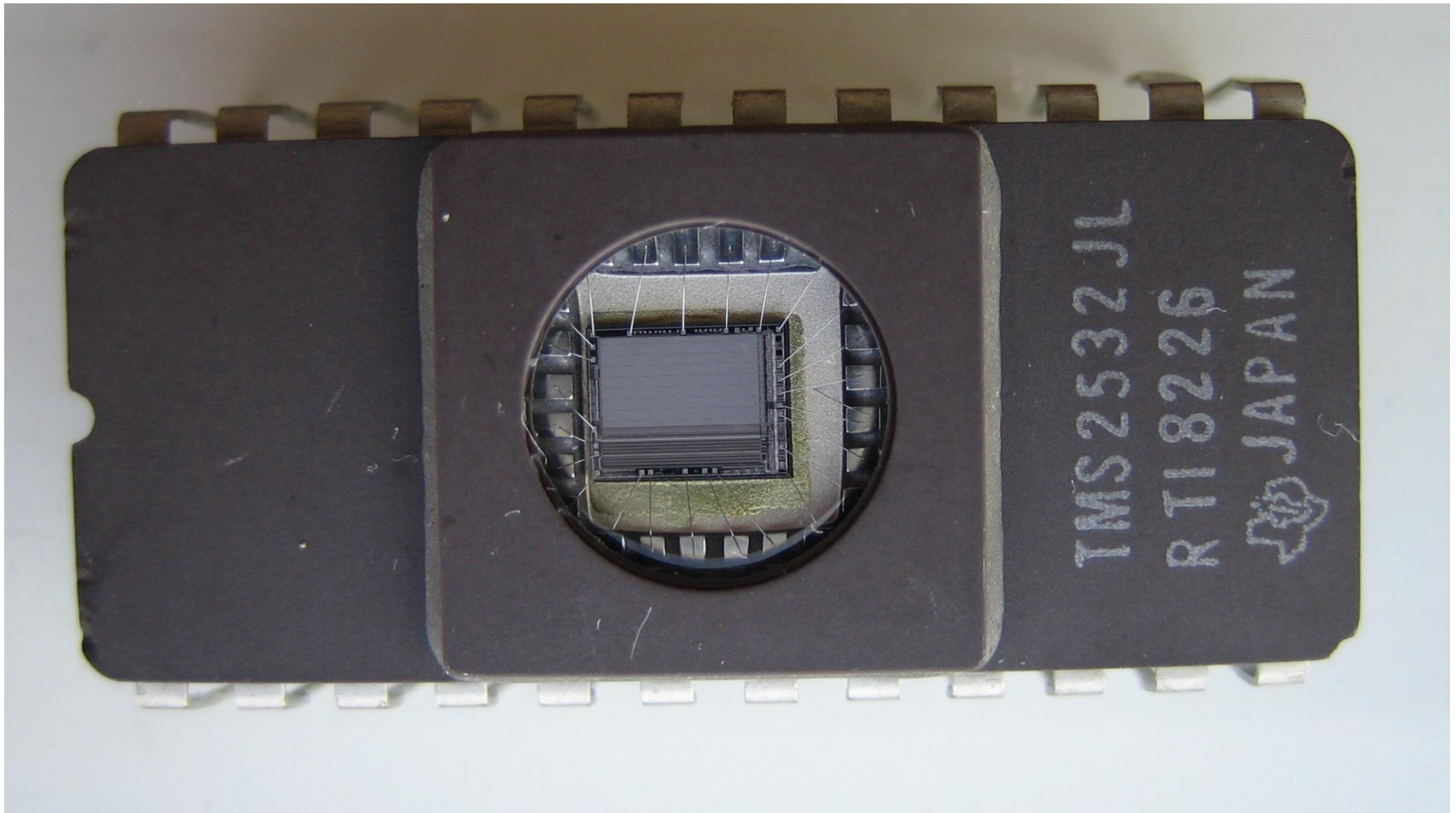


David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

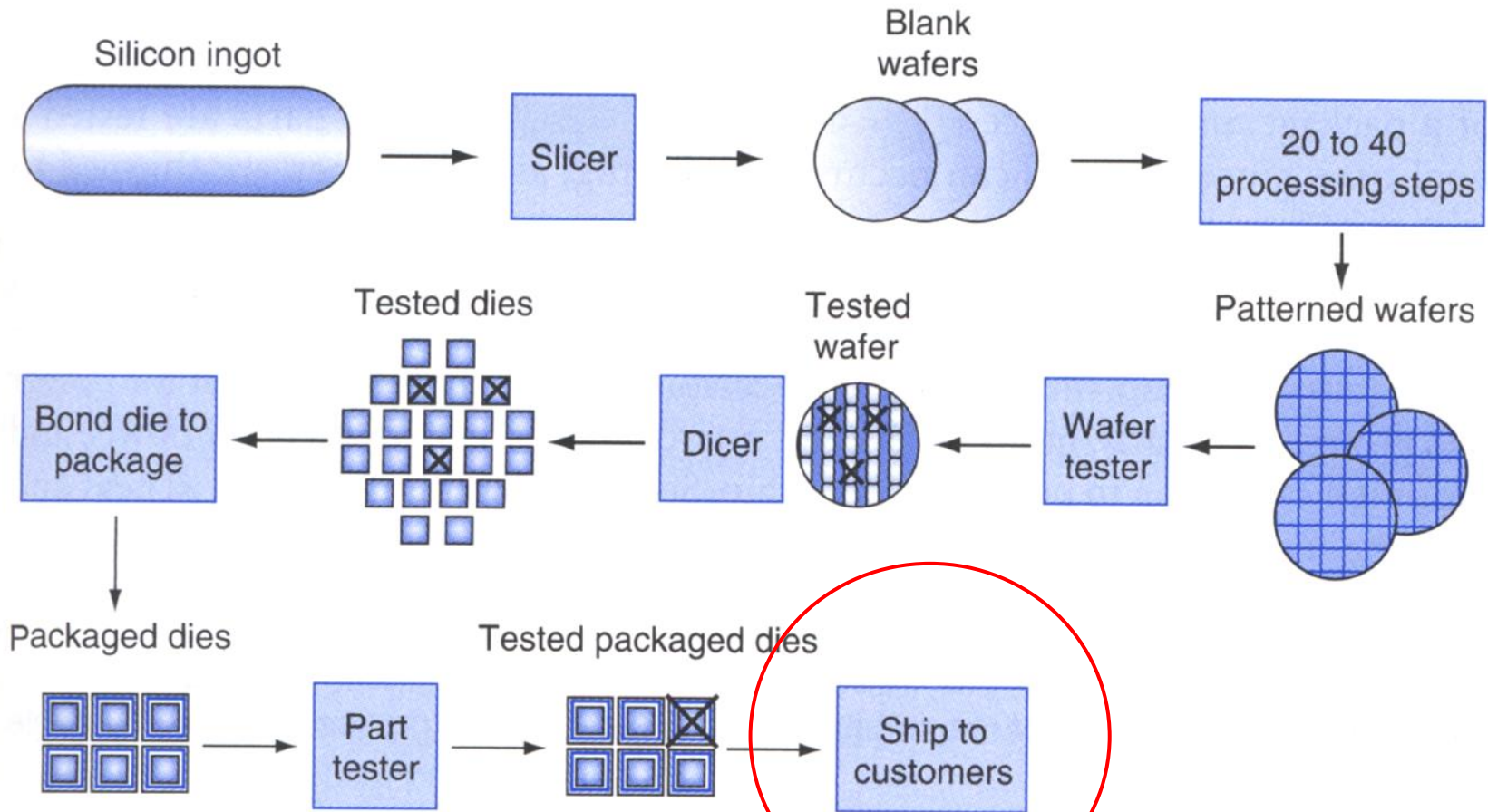
## ■ Bondiranje (Bonding)



- Bondiranje (Bonding) - Primer



### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:  
Computer Organization and Design, Fourth Edition

## 1.3.3.2 Postopek izdelave VLSI digitalnih vezij - Povzetek

- Silicijev valj – “Ingot”
- razrez na rezine (‘Wafers’)
  - poliranje
  - pazimo na nečistočo
- 20-40 procesnih korakov
  - nanašamo :
    - tranzistorje
    - povezave
    - izolatorje

## 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

### Procesni korak :

#### □ *izolacija in prekrivanje*

- nanašanje Silicijevega dioksida (kot izolator)
- dodana plast na svetlobo občutljivega materiala – “fotoresist”

#### □ *maskiranje*

- fotolitografija - obsevanje skozi masko, tam kjer je osvetljen postane fotoresist odstranljiv

#### □ *jedkanje*

- odstrani osvetljeno plast “fotoresista” in po potrebi še spodnje plasti materiala

#### □ po potrebi eden od naslednjih postopkov:

- **dopiranje** (za tvorbo kanalov pri tranzistorjih)
- **nanašanje plasti prevodnikov** (za oblikovanje povezav, priključkov, povezav med nivoji)
- **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd...)

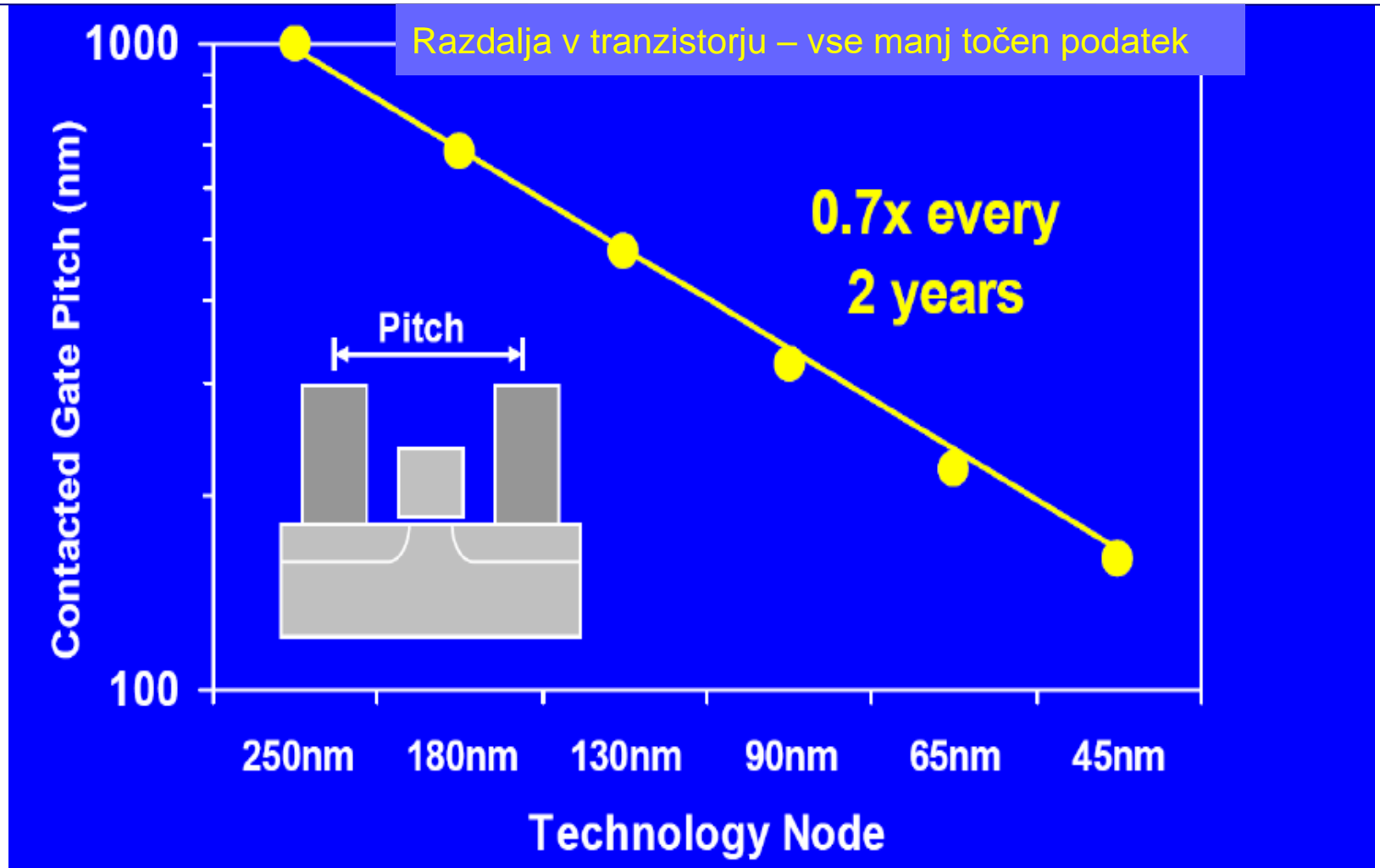
### 1.3.3.2 Postopek izdelave VLSI digitalnih vezij

## Končna obdelava:

- testiranje čipov na rezinah («die«)
- razrez rezin na čipe
- povezave priključkov na čipu z žičkami na priključke ohišja
- končno testiranje



### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

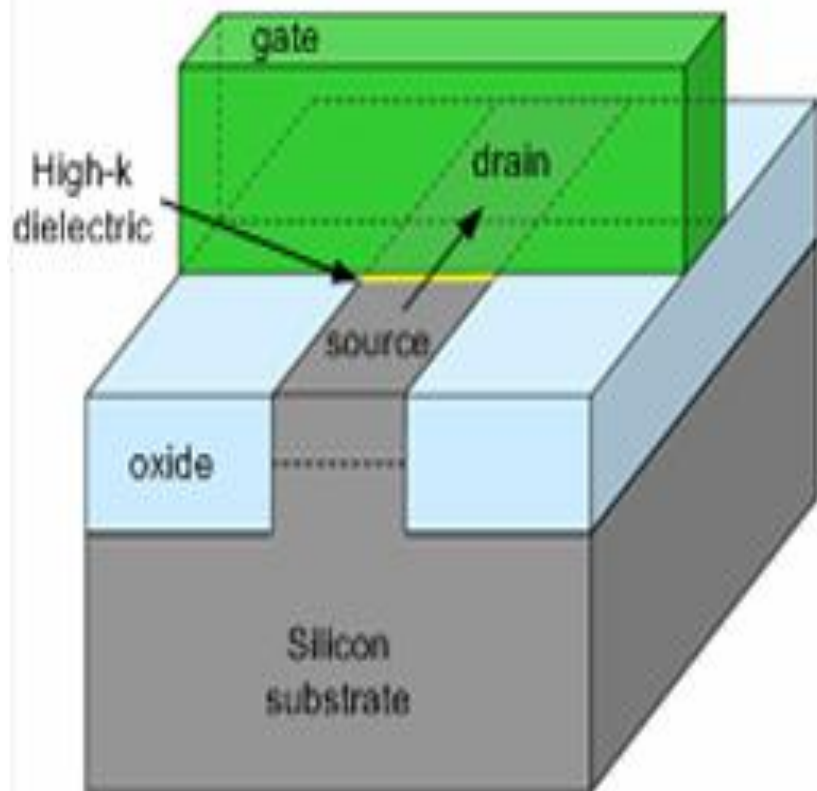


IEEE/IDEM 2007 (International Electron Devices Meeting) Intel

### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

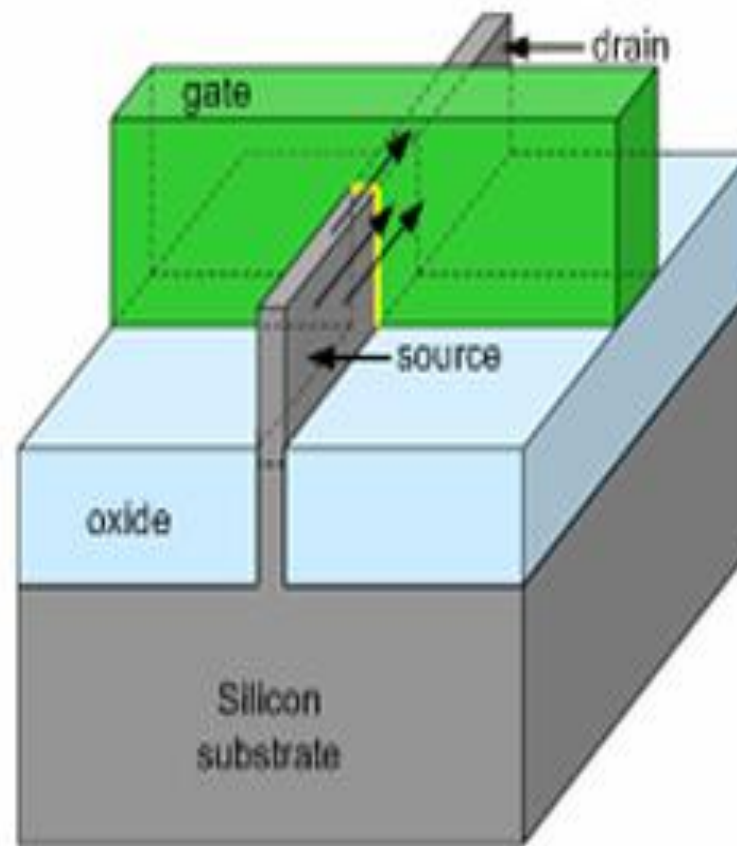
– planarni 2D (vodoravna lega) in

3D tranzistor (se širi v višino)



Planar 2D transistor

22nm tehnologija izdelave čipov



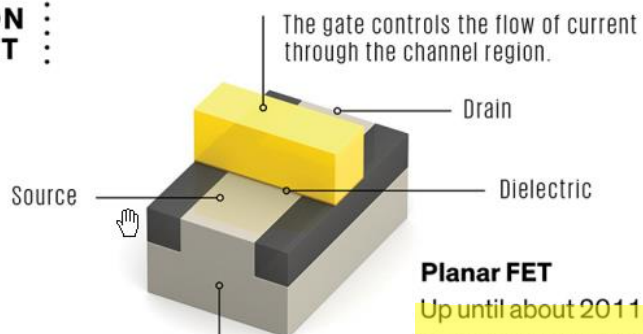
Tri-gate 3D transistor

premer Si atoma je 0.24nm!!!

### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Sodobni razvoj tranzistorja  
Planarni (vodoravno) -> FinFET (navpično) -> Nano lističi

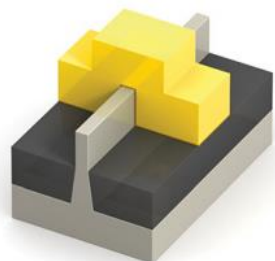
**EVOLUTION  
OF THE FET**



**Planar FET**

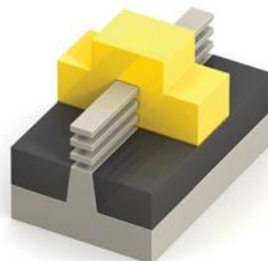
Up until about 2011, planar transistors were the best devices available.

Charge can leak through the channel region and waste power.



**FinFET**

Surrounding the channel region on three sides with the gate gives better control and prevents current leakage.

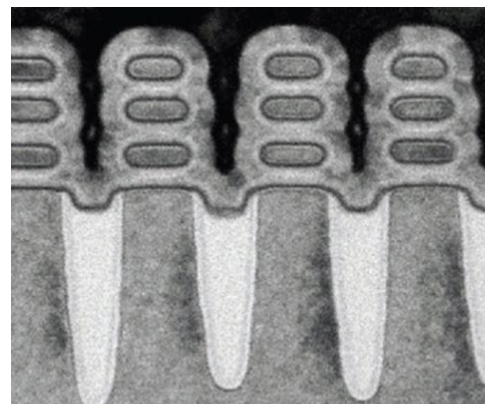


**Stacked nanosheet FET**

The gate completely surrounds the channel regions to give even better control than the FinFET.

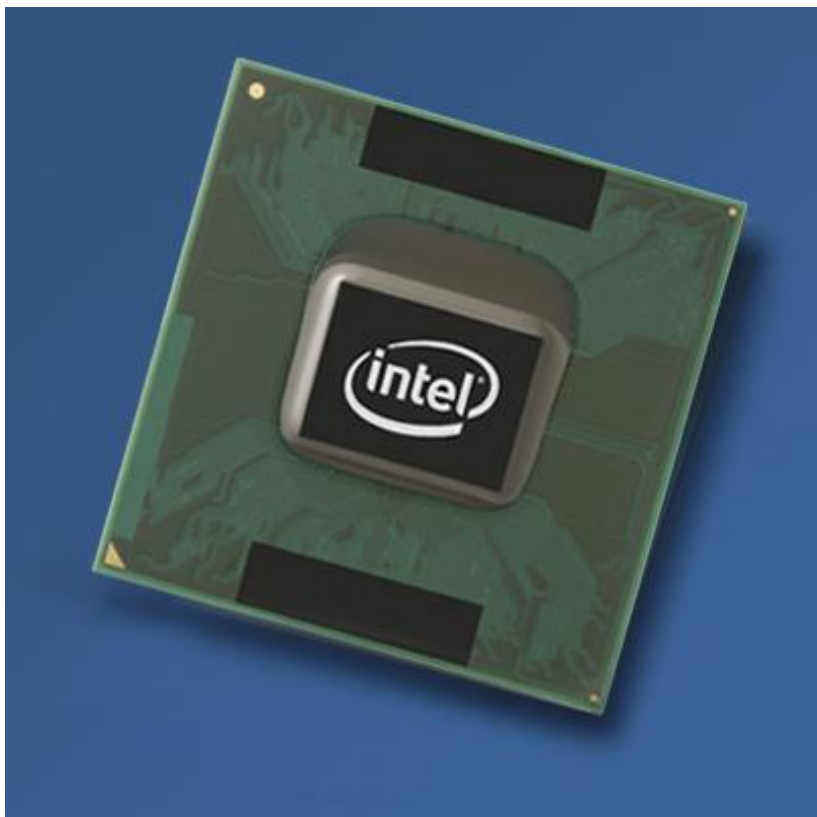
Illustration by Emily Cooper

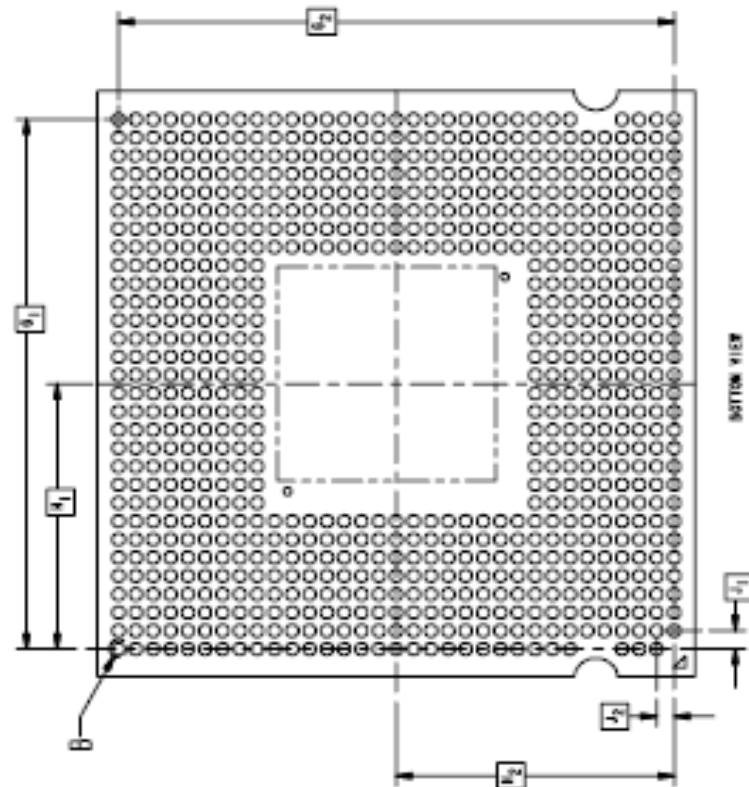
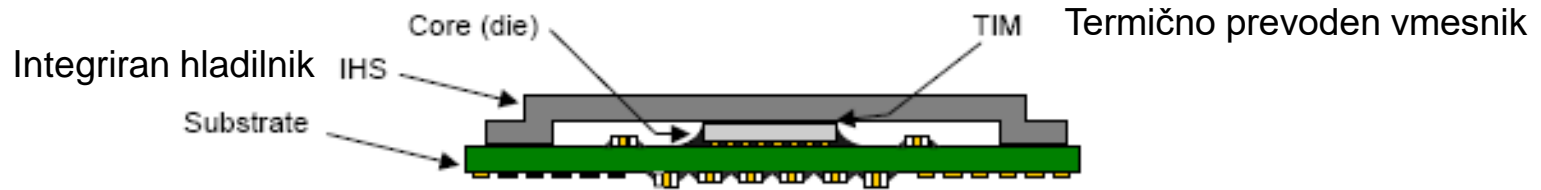
2nm tehnologija  
izdelave čipov (IBM)



IEEE Spectrum 2021

<https://spectrum.ieee.org/ibm-introduces-the-worlds-first-2nm-node-chip>





### 1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Z večanjem stopnje integracije:

- se dimenzije tranzistorjev in povezav manjšajo
- vezja (tranzistorji) za svoje delovanje porabljajo energijo (odvečna toplota)

Zato je pomembno da :

- učinkovito distribuiramo energijo po čipu:
  - veliko število kontaktov je za napajanje (Vcc in GND)
- učinkovito odvajamo odvečno toploto :
  - hladilniki, ventilatorji

Trend zmanjšanja porabe (TDP = Thermal Design Power) :

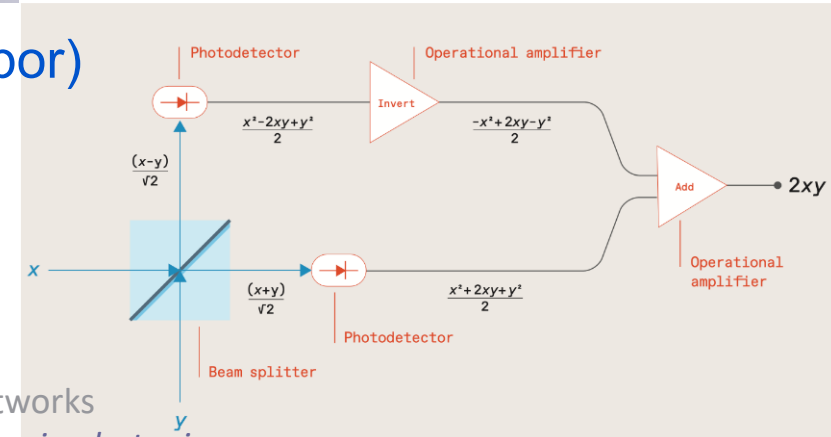
- Intel Core i7-920 s frekv. jedra 2.66GHz; **TDP = 130W** , 45nm
- Haswell: Core i7 4771, TDP = 85 W (sept. 2013) 22nm
- Skylake: Core i7-6700, **TDP = 65W** (avg. 2015) 14nm
- AlderLake: Core i7-12700, **TDP = 65W** (jan. 2022) 10nm
- RaptorLake: Core i7-13900, Base/Max=**55/157W** (Q1'23)

## 1.3.3.4 Potencialni tehnološki premiki (izbor) Tehnologija (primer optike):

### THE FUTURE OF DEEP LEARNING IS PHOTONIC

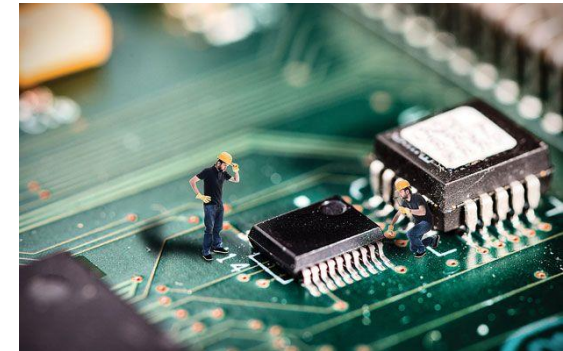
Computing with light could slash the energy needs of neural networks

Z naslova <<https://spectrum.ieee.org/the-future-of-deep-learning-is-photonic>>



## Pristop – splošni ali namenski:

Engineers can cut size and power in half by stripping away unused logic gates from general-purpose microcontrollers



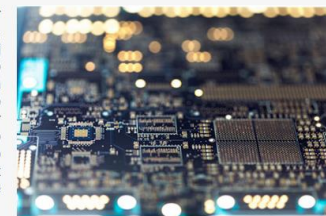
Starting with an openMSP430 microcontroller, they produced bespoke designs meant to perform applications such as the fast Fourier transform, autocorrelation, and interpolation filtering. These designs had fewer than half of the logic gates that were part of the original microcontroller design. In fact, none of the 15 common microcontroller apps they studied needed more than 60 percent of the gates. On average, the resulting chips were 62 percent smaller and consumed 50 percent less power. By exploiting the timing savings from signals traveling a shorter distance, the average power savings jumped to 65 percent.

Z naslova <<https://spectrum.ieee.org/bespoke-processors-a-new-path-to-cheap-chips>>

## Postopek izdelave VLSI integriranega vezja - čipa

Izdelava tiskanega vezja – tudi najzahtevnejše tiskano vezje

Izdelava tiskanega vezja zahteva profesionalen pristop ter ogromno znanja in izkušenj. Le tako je mogoče zagotoviti, da bo tiskano vezje opravljalo svojo nalogo na dovolj visokem nivoju. Posamezne komponente, kot so kondenzatorji, uporniki ipd., so običajno prispajkane na **tiskano vezje**, pri kompleksnejših oblikah pa lahko naletimo tudi na vdelovanje elementov na podlago. Kadar nam je pomembno, da vezje omogoča čim večjo gostoto komponent, se odločimo za večslojno vezje (načeloma do 24 slojev), možna pa so tudi enostranska (z eno stranjo iz bakra) in dvostranska tiskana vezja, pri katerih imamo dve bakreni plasti.



Dodatna gradiva, video :

- Posnetki o postopku izdelave VLSI vezij :

[How ST designs and manufactures semiconductor devices – YouTube \(prikažemo\)](#)

[2020: From Sand to Silicon: The Making of a Microchip | Intel Making the Microchip — At the Limits III Preview/ The Making of a chip](#)

[Intel: The Making of a Chip with 22nm/3D Transistors](#)